

## 先端研究助成基金助成金(最先端・次世代研究開発支援プログラム) 実施状況報告書(平成25年度)

本様式の内容は一般に公表されます

研究課題名	環境エネルギーを使用する情報通信機器の組み込みプロセッサアーキテクチャとOS制御による最適エネルギー管理技術の開発
研究機関・部局・職名	京都大学・大学院情報学研究科・准教授
氏名	石原 亨

### 1. 当該年度の研究目的

全体研究計画書に記載した4つのテーマに関してそれぞれ下記の項目を明らかにすることを本年度の目的として研究を行った。

**研究テーマ1 [スケーラブルプロセッサシステム]**に関しては、前年度設計と検証を完了したマルチコアプロセッサを実チップとして試作し、プロセッサを数百 $\mu$ Wから数百mWまでの3桁以上の電力範囲で安定動作させる技術を実証する。チップ試作には東大 VDEC の 65nm プロセステクノロジーを利用する。ベースとなるプロセッサには、東芝社の Media embedded Processor (MeP)コアを利用する。

**研究テーマ2 [電力効率を向上させる技術]**に関しては、平成23年度に新たに設定したテーマである、ニア・スレッショルド動作プロセッサを試作し、そのエネルギー効率と実現可能性を実証する。ニア・スレッショルド動作プロセッサの構成要素である基本セルは、独自に 0.7V 動作向けに最適化設計したものを使用する。また、平成23年度に開発した低電力レジスタ回路とクロックツリーの低消費電力化回路技術を実チップ上に実装し、実チップを用いた評価によりその実現可能性と有効性を明らかにする。

**研究テーマ3 [環境発電ベースシステムの消費電力と性能のモデル]**に関しては、前年度に実装した改良版環境発電ボード(太陽電池アレイ、スーパーキャパシタアレイ、電圧コンバータおよびそれらの制御回路を搭載した評価ボード)を用いて、このボードの構成を最適制御する技術の評価する。

**研究テーマ4 [OS制御による電力管理技術]**に関しては、OSが太陽電池、蓄電池、大容量キャパシタの状態を定期的に観測し、それぞれの状態に応じて各種電池やキャパシタの直並列構成を最適化するためのAPI(Application Programming Interface)を既存のリアルタイムOS(ToppersOS)に組み込む。前年度に開発した環境発電ボードと試作チップを用いて上記APIとアルゴリズムの有効性を実証する。

### 2. 研究の実施状況

1. E-shuttle社が行うチップ試作サービスを利用し、4つのCPUを搭載したスケーラブルプロセッサを試作した。試作したチップは動作電圧とメモリサイズをソフトウェア制御により瞬時に(約1 $\mu$ 秒で)切り替える機能を持つ。評価ボードを使って試作チップを評価し、全ての機能が正常に動作することを確認した。実チップの電力計測により、最大約160mWの消費電力で800MIPSの性能から300 $\mu$ Wの消費電力で約5MIPSの性能までの広いダイナミックレンジで動作することを確認した。研究は計画していた目標を達成した。この機能により、室内光を用いた太陽電池の発電(約10mW)でも安定してチップが動作することを確認した。本チップ試作の結果は、2014年3月に石垣島で開催された研究会とドイツのドレスデンにて開催された国際会議にて発表(展示デモンストレーション)した。

様式19 別紙1

2. 昨年度までに開発した低電圧動作可能な標準セル最適化技術を、プロセッサに適用し 65nm プロセス技術を用いてチップ試作した。従来型の標準セルを用いたプロセッサを 100MHz で動作させるためには 0.72V の電圧を与える必要があったが、本研究で開発した低電圧動作可能な標準セルを組み込んだプロセッサは 0.7V の電源電圧で正しく 100MHz 動作することを確認した。この技術により、性能を落とすことなくエネルギー消費を約 20%削減できることを実チップの電力測定により確認した。標準セルの最適化技術に関する成果は論文誌、国際会議、国内会議で発表し、国内会議での発表は情報処理学会システムLSI設計技術研究会の優秀論文賞を受賞した。これ以外に、低電圧動作時の動作性能ばらつきを解析する技術や基盤バイアスの調節による消費エネルギーの削減手法に関する研究を行い国内外の研究会で発表した。
3. 小容量の太陽電池とキャパシタを複数用意し、その直並列構成を最適化することにより蓄電効率および電力伝送効率を大幅に向上させる技術を開発した。昨年度までの課題であった A-D コンバータや DC-DC コンバータの消費電力の問題を解消する環境発電システムボードを試作し、その有効性を確認した。これにより、振動発電装置が作り出す電力(およそ 1Hz の振動で 10mW~20mW)でもプロセッサを安定して動作させられることを確認した。研究成果は論文誌と国内の研究会で発表した。また、2014年3月25日~27日にドイツのドレスデンにて開催された国際会議では、振動で発電する懐中電灯を作り変えた振動発電装置を用いて、試作したプロセッサチップが正常動作するデモンストレーションを行った。発電と蓄電およびエネルギーの伝送効率を高めることにより不安定な自然エネルギーでプロセッサが安定して動作することを実証した。
4. プロセッサの動作モードと環境発電システムの構成をシステム動作時に最適化するための API (Application Programming Interface)を開発し、既存のリアルタイム OS(ToppersOS)に組み込んだ。上記APIを利用する電力制御プログラムを開発し、試作したプロセッサチップ上で正常動作することを確認した。また、上記電力制御プログラムが既存の電力制御技術と比べて、試作したプロセッサチップの消費電力をおよそ 30%削減できることを実チップで確認した。本研究成果は、国内の研究会と国際会議の展示デモンストレーションで発表した。研究開始時に計画した目標をすべて達成した。

本研究課題全般において、研究開始時に計画した目標はすべて達成することができた。

3. 研究発表等

雑誌論文	(掲載済み一査読有り) 計 4 件
計 7 件	<ol style="list-style-type: none"> <li>[1] Ji Gu, Hui Guo, Tohru Ishihara “DLIC: Decoded Loop Instructions Caching for Energy-Aware Embedded Processors,” ACM Transactions on Embedded Computing Systems (TECS), vol 13, no 1, pp. 6, 2013 年 8 月.</li> <li>[2] A.K.M. Mahfuzul Islam, Tohru Ishihara, and Hidetoshi Onodera, “Reconfigurable Delay Cell for Area-efficient Implementation of On-chip MOSFET Monitor Schemes,” Proceedings of IEEE Asian Solid-State Circuits Conference, pp. 125 - 128, 2013 年 11 月.</li> <li>[3] Shinichi Nishizawa, Tohru Ishihara and Hidetoshi Onodera “Standard Cell Structure with Flexible P/N Well Boundaries for Near-Threshold Voltage Operation,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol E96-A, no 12, pp. 2499-2504, 2013 年 12 月.</li> <li>[4] Kyungsoo Lee, Tohru Ishihara, “DC-DC Converter-Aware Task Scheduling and Dynamic Reconfiguration for Energy Harvesting Embedded Systems,” IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences, vol E96-A, no 12, pp. 2660-2667, 2013 年 12 月.</li> </ol>
	(掲載済み一査読無し) 計 3 件
	<ol style="list-style-type: none"> <li>[1] 西澤真一、石原亨、小野寺秀俊、“低電圧動作に向けた XOR 論理ゲートの構成法の検討,” DA シンポジウム 2013 論文集, ISSN 1344-0640, pp.9-14, 2013 年 8 月.</li> <li>[2] 近藤正大、石原亨、小野寺秀俊、“ニアスレショルド電圧動作に適したスタンダードセルの駆動力集合の決定法,” DA シンポジウム 2013 論文集, ISSN 1344-0640, pp.21-26, 2013 年 8 月.</li> <li>[3] 修齊、石原亨、小野寺秀俊、“電源電圧・閾値電圧・パイプライン段数の同時スケールリングによるプロセッサのエネルギー高効率化設計手法,” DA シンポジウム 2013 論文集, ISSN 1344-0640, pp.145-150, 2013 年 8 月.</li> </ol>
	(未掲載) 計 0 件

様式19 別紙1

会議発表 計 8 件	<p>専門家向け 計 8 件</p> <p>[1] 石原 亨, “コンピュータシステムのためのエネルギーハーベスティング技術,” 情報処理学会 先進的計算基盤システムシンポジウム(SACSIS 2013), Porto, Portugal, 2013 年 5 月 19 日～20 日 (依頼講演).</p> <p>[2] Tohru Ishihara, “Power Management Techniques for Energy Harvesting Embedded Systems,” International Forum on Embedded MPSoC and Multicore, 滋賀県大津市, 2013 年 7 月 5 日～19 日 (依頼講演).</p> <p>[3] Tohru Ishihara, “Dynamic Power Management for Harvested Energy-based Embedded Systems,” SNU-ESRC and Samsung-SATTI Joint Workshop, Seoul, South Korea, 2013 年 9 月 10 日～11 日 (依頼講演).</p> <p>[4] A.K.M. Mahfuzul Islam, Norihiro Kamae, Tohru Ishihara, and Hidetoshi Onodera, “Energy-efficient Dynamic Voltage and Frequency Scaling by P/N-performance Self-adjustment using Adaptive Body Bias,” Workshop on Synthesis And System Integration of Mixed Information technologies, 北海道札幌市, 2013 年 10 月 21 日～22 日.</p> <p>[5] Shinichi Nishizawa, Tohru Ishihara and Hidetoshi Onodera “Variation Tolerant Design of D-Flip-Flops for Low Voltage Circuit Operation”, ACM International Workshop on Timing Issues in the Specification and Synthesis of Digital Systems (TAU), Santa Cruz, USA, 2014 年 3 月 6 日～7 日</p> <p>[6] 高瀬 英希, 李 景洙, 石原 亨, “排他動作する非均質マルチコアプロセッサとそのリアルタイム OS の実装,” 情報処理学会 システム LSI 設計技術研究会, 沖縄県石垣島, 2014 年 3 月 15 日～16 日.</p> <p>[7] Kungsoo Lee, Tohru Ishihara, “Evaluation of Charge Scheduling on a Multi-Banked Super-capacitor Architecture for Energy Harvesting Embedded Systems,” 情報処理学会 システム LSI 設計技術研究会, 沖縄県石垣島, 2014 年 3 月 15 日～16 日.</p> <p>[8] 竹下俊宏, 西澤真一, Islam A.K.M. Mahfuzul, 石原 亨, 小野寺秀俊, “動作状況に応じた電源電圧と基板バイアスの同時調節による LSI のエネルギー効率最大化,” 電子情報通信学会 2014 年総合大会, 新潟県新潟市, 2014 年 3 月 18 日～20 日.</p> <p>一般向け 計 0 件</p>
図 書 計 1 件	<p>宇佐美公良、池田誠、小林和淑(監訳)、石原亨ほか(訳)、“ウェスト&amp;ハリス CMOS VLSI 回路設計 基礎編、(第 5 章 消費電力(pp.245-291)の和訳を担当)” 丸善出版、ISBN978-4-621-08721-3、2014 年 1 月 31 日発行.</p>
産業財産権 出願・取得状況 計 0 件	<p>(取得済み) 計 0 件</p> <p>(出願中) 計 0 件</p>
Webページ (URL)	<p>Embedded Green System Project <a href="http://saba.kuee.kyoto-u.ac.jp/egs/">http://saba.kuee.kyoto-u.ac.jp/egs/</a></p>
国民との科学・技術対話の実施状況	<p>2013 年 12 月 21 日に京都大学吉田キャンパスにて開催された京都大学アカデミックデイにおいて、一般市民向けに“組込みグリーンシステムプロジェクト”および“自然エネルギーで動くコンピュータ”に関する研究活動紹介を行なった。参加者のべ 529 名(うち一般者は約 300 名)</p>
新聞・一般雑誌等掲載 計 0 件	
その他	

4. その他特記事項

- ・ 2013 年 6 月 2 日～6 日に米国のオースティンにて開催された国際会議 (Design Automation Conference)においてポスター発表を行い、本プロジェクトの研究活動紹介を行なった。
- ・ 2014 年 3 月 25 日～27 日にドイツのドレスデンにて開催された国際会議 (Design Automation and Test in Europe)においてポスター発表を行い、本プロジェクトの研究活動紹介を行なった。
- ・ 2013 年 9 月 9 日に韓国ソウルにて開催された京都大学大学院情報学研究科主催のアジア情報学セミナーにおいて、「Challenges for Harvested Energy-based Computing」のタイトルで本プロジェクトの研究活動紹介を行った。

## 実施状況報告書(平成25年度) 助成金の執行状況

本様式の内容は一般に公表されません

## 1. 助成金の受領状況(累計)

(単位:円)

	①交付決定額	②既受領額 (前年度迄の 累計)	③当該年度受 領額	④(=①-②- ③)未受領額	既返還額(前 年度迄の累 計)
直接経費	111,000,000	71,672,000	39,328,000	0	0
間接経費	33,300,000	21,501,600	11,798,400	0	0
合計	144,300,000	93,173,600	51,126,400	0	0

## 2. 当該年度の収支状況

(単位:円)

	①前年度未執 行額	②当該年度受 領額	③当該年度受 取利息等額 (未収利息を除 く)	④(=①+②+ ③)当該年度 合計収入	⑤当該年度執 行額	⑥(=④-⑤) 当該年度未執 行額	当該年度返還 額
直接経費	5,781,835	39,328,000	0	45,109,835	44,985,636	124,199	0
間接経費	12,302,700	11,798,400	0	24,101,100	24,101,100	0	0
合計	18,084,535	51,126,400	0	69,210,935	69,086,736	124,199	0

## 3. 当該年度の執行額内訳

(単位:円)

	金額	備考
物品費	9,153,204	プロセッサチップ費、評価ボード外注費等
旅費	3,349,950	研究成果発表および研究協力者との打合せ等
謝金・人件費等	8,882,129	博士研究員、補佐員および学生RAの人件費
その他	23,600,353	設計外部委託費、ソフトウェアライセンス等
直接経費計	44,985,636	
間接経費計	24,101,100	前年度未執行額+本年度受領額
合計	69,086,736	

## 4. 当該年度の主な購入物品(1品又は1組若しくは1式の価格が50万円以上のもの)

物品名	仕様・型・性能 等	数量	単価 (単位:円)	金額 (単位:円)	納入 年月日	設置研究機関 名
DUTボード	三菱マイコン社製 FPGA搭載	1	761,250	761,250	2013/11/11	京都大学
プロセッサチップ	東京大学VDEC 仕様チップ	1	2,743,600	2,743,600	2013/11/26	京都大学
4コアプロセッサ用 評価ボード	4コアCPU向け FPGA搭載ボード	1	2,488,500	2,488,500	2014/1/16	京都大学
環境発電ボード	マルチバンクキャ パシタ搭載ボード	1	1,425,900	1,425,900	2014/1/17	京都大学
1コアプロセッサ用 評価ボード	1コアCPU向け FPGA搭載ボード	1	997,500	997,500	2014/3/3	京都大学