



研究課題名 省電力／超高速ナノ CMOS のための電子物性設計と高移動度チャネル技術の創生

名古屋大学・大学院工学研究科・教授

ざいま しげあき
財満 鎮明

研究分野：応用物理学・工学基礎、薄膜・表面界面物性

キーワード：薄膜、界面、半導体、エピタキシャル成長

【研究の背景・目的】

現代の高度情報化社会を支える Si 超々大規模集積回路（ULSI）は、その基本素子である MOS トランジスタをスケールリング則に沿って微細化することで高速化と高集積化、高機能化を実現してきた。しかし、素子寸法がナノスケールに到達した現在では、材料の物性的限界から、これまでの微細化トレンドの維持が次第に難しくなり始めている。更に最近では、環境問題や携帯機器への応用の増大から、デバイスの一層の低消費電力化や高速化、高機能化などが求められている。

ULSI の超低消費電力化／超高速化においては、MOS トランジスタの電流駆動能力向上が不可欠である。現在でも Si の物性的限界を打破するために、Si に歪を加えてより高いキャリア移動度を得る技術が導入されている。しかし、この歪 Si による移動度向上にも限界が見えており、次世代ナノスケール ULSI では、歪 Si を越える高移動度材料のチャネル領域への導入が不可欠となっている。

本研究では、ナノスケール CMOS の超低消費電力化と超高速化を実現するための高移動度チャネル技術の創生に向けて、歪 Ge 系チャネル材料の開発とその電子物性設計指針の構築を目指す。

【研究の方法】

Ge は電子、正孔共に Si を越える移動度を持つ材料として知られているが、歪 Si の CMOS 性能を越えるためには、電子移動度をさらに向上させる必要がある。Ge に 1% 程度の伸張歪を印可すると電子と正孔共に歪 Si の移動度を越えることが可能である。また、さらに大きな伸張歪の印加や 20% 程度の Sn の添加により、バンド構造が直接遷移型に変化し、電子と正孔移動度が飛躍的に増加する可能性があることが予想されている。

これらのことを踏まえて本研究では、Si 基板上に歪 Ge チャネルを実現することを目的として、歪 Ge/GeSn/Si ヘテロ構造作製のための基盤技術の確立と、歪 Ge および高 Sn 組成 GeSn の電子物性の解明、MOS 構造界面制御技術の提案などを行う。(図 1)

【期待される成果と意義】

Ge への Sn 添加は、IV 族系半導体材料に新しい物性や自由度をもたらすことができる。特に、次世代ナノ CMOS の n チャネルと p チャネル

MOS トランジスタの両方を、Si プロセスとの整合性の高い Ge 系材料で実現する可能性を拓くことができれば、現在考えられている次世代 ULSI 技術のトレンドを根本から変革することができるため、産業的なインパクトは極めて大きい。

さらに、この材料系は、高伸張歪印加や高組成 Sn 添加により直接遷移化が期待されるため、ULSI 応用のみならず、太陽電池や受光・発光デバイスなどへの応用展開も大いに期待できる。

歪 Ge および GeSn を用いた非シリコン／歪物性制御チャネルの要素技術

- 伸張歪 Ge と高 Sn 組成 GeSn ヘテロエピタキシャル成長
 - 歪制御と Sn 組成制御による新しい電子物性設計とその実証
- シリコンプラットフォームへの融合
 - 絶縁膜／Ge(Sn) 界面制御技術
 - シリコン基板上へのトランスファー技術（貼り合わせ、選択エピ成長）

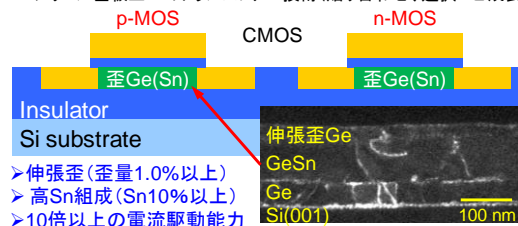


図 1 本研究の内容

【当該研究課題と関連の深い論文・著書】

- Y. Shimura, N. Tsutsui, O. Nakatsuka, A. Sakai and S. Zaima, “Control of Sn Precipitation and Strain Relaxation in Compositionally Step-Graded $\text{Ge}_{1-x}\text{Sn}_x$ Buffer Layers for Tensile-Strained Ge Layers”, *Jpn. J. Appl. Phys.*, **48**, 04C130-1-4 (2009).
- S. Takeuchi, Y. Shimura, O. Nakatsuka, S. Zaima, M. Ogawa and A. Sakai, “Growth of Highly Strain-Relaxed $\text{Ge}_{1-x}\text{Sn}_x$ /Virtual-Ge by a Sn Precipitation Controlled Compositionally Step-Graded Method”, *Appl. Phys. Lett.*, **92**, 231916 (2008).

【研究期間と研究経費】

平成 22 年度 - 25 年度

344,600 千円

【ホームページ等】

<http://alice.xtal.nagoya-u.ac.jp/zaimalab/>
zaima@alice.xtal.nagoya-u.ac.jp