

科学研究費助成事業（特別推進研究）公表用資料  
〔研究進捗評価用〕

平成22年度採択分

平成25年5月31日現在

研究課題名（和文） **原子オーダー平坦な界面を有する3次元立体構造  
トランジスタの製造プロセスに関する研究**

研究課題名（英文） **Study on fabrication process of 3-D  
structured MOS transistor having atomically  
flat gate insulator/Si interface**

研究代表者

大見 忠弘 (OHMI TADAHIRO)

東北大学・未来科学技術共同研究センター・名誉教授



研究の概要：任意のシリコン表面上に、ゲート絶縁膜とシリコンの界面が原子オーダーで平坦になされた3次元立体構造MOSトランジスタを製造するプロセス技術を創出して、シリコン結晶の有する全性能を駆使することにより、超低消費電力で文字通り超高速動作するバランスドCMOSシリコン集積回路(LSI)を創出することが本研究の目的である。そのために3次元立体構造MOSトランジスタの動作面となる側壁シリコンの原子オーダー平坦化が絶対に必要なのである。

研究分野：工学

科研費の分科・細目：電気電子工学・電子・電気材料工学

キーワード：MOSトランジスタ、シリコン表面平坦化、プラズマプロセス

#### 1. 研究開始当初の背景

MOSトランジスタのゲート絶縁膜を、反応力をまったく持たない酸素分子(O<sub>2</sub>)や水分子(H<sub>2</sub>O)を用いた高温熱酸化で形成する現状のシリコン技術では、程々の品質の酸化膜(SiO<sub>2</sub>)が(100)シリコン表面にだけしか形成できないため、集積回路(LSI)は(100)シリコン表面上にだけ2次元平面形状のトランジスタを用いて製作される。したがって、現状のシリコン技術はシリコン結晶の有する全性能を駆使することは全くできず、そのごく一部を活用できるだけである。現状のシリコン技術は、ゲート絶縁膜の薄膜化と素子寸法の微細化だけで進歩をし続けた。その現状のシリコン技術が完全に行き詰まり、LSIの性能向上は完全に停滞している。

#### 2. 研究の目的

この困難を克服するには、任意のシリコン表面上に、ゲート絶縁膜とシリコンの界面が原子オーダーで平坦になされた3次元立体構造MOSトランジスタを製造するプロセス技術を創出して、シリコン結晶の有する全性能を駆使することにより、超低消費電力で文字通り超高速動作するバランスドCMOSシリコンLSIを創出することが本研究の目的である。すなわち、停滞している現状のシリコンLSI技術を、その理論限界に向かって連続的に超高速化させることである。そのために3次元立体構造MOSトランジスタの側壁シリコン表面の原子オーダー平坦化が必要なのである。

#### 3. 研究の方法

バランスドCMOSを構成するトランジスタは、①現状のInversion Mode MOSトランジスタからAccumulation Mode MOSトランジスタへ、②(100)面基板2次元平面形状から(551)SOI基板3次元立体構造へ、③ゲート絶縁膜/Si界面の原子オーダー平坦化、これらの技術を導入することにより電子・ホール散乱要因が原理的に消滅もしくは激減し、シリコンLSIの圧倒的な性能向上が実現される。しかし、これらの技術は、現状のシリコン技術では全く実現不可能であり、我々が開発したウルトラクリーンテクノロジーを駆使したラジカル反応ベースの新しい製造技術によりはじめて具現化される。

#### 4. これまでの成果

(1) 熱処理時のAr雰囲気中の酸素と水分を徹底的に低減することにより、(100)シリコン表面の原子オーダー平坦化に必要な熱処理温度を800°Cまで低温化することに成功し、SOIウェーハに対して原子オーダー平坦化が可能となるとともに、従来の高温処理ではきわめて困難であったLSI製造への適応化が容易になった。さらに、(551)シリコン表面では、熱処理温度を600°Cまで低温にすることにより、表面ラフネス(Ra)の小さい極めて平坦なシリコン表面を得ることに成功した。  
(2) このようにして得られた原子オーダー平坦シリコン表面上と従来のシリコン表面上に、従来の熱酸化と申請者が開発したラジカル酸化を用いてそれぞれ酸化膜を形成し、形成された酸化膜の信頼性を評価した。従来シ

シリコン表面上に形成したラジカル酸化膜は、測定面積が  $2\text{mm} \times 2\text{mm}$  と大きくなると、絶縁破壊電界強度  $E_{bd}$  のばらつきが大きくなり著しく信頼性が劣化する。しかし、本研究で実現した原子オーダー平坦 Si 表面とラジカル酸化を組み合わせるにより、測定サンプルの面積を  $2\text{mm} \times 2\text{mm}$  と大きくしても高い  $E_{bd}$  を維持したまま電気的特性がばらつかなくなり、さらなる信頼性の向上を実現した。

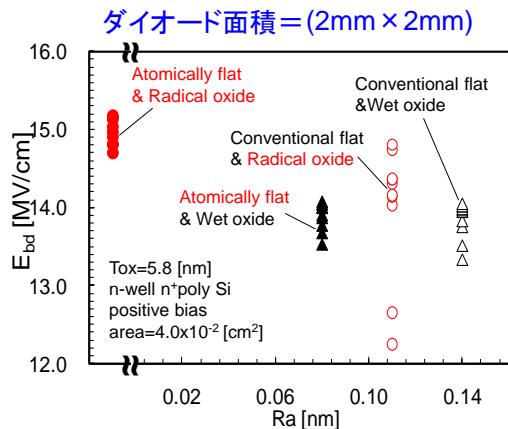


図 1 原子オーダー平坦シリコン表面上と従来のシリコン表面上に、従来の熱酸化とラジカル酸化を用いて形成した 5.8nm 厚さの酸化膜の絶縁破壊電界強度  $E_{bd}$

(3) 図 2 は Ring Oscillator によるゲート遅延の動作電圧依存性を示している。

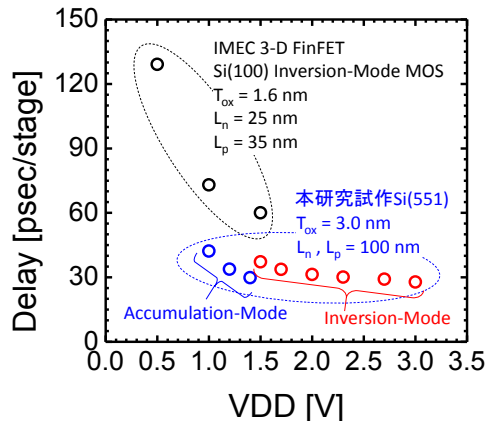


図 2 CMOS リングオシレータ回路を用いたゲート遅延評価

黒丸は 2004 年に IMEC が発表した (100) シリコン表面上に試作した nMOS のゲート長 25nm、pMOS のゲート長 35nm、ゲート絶縁膜厚 1.6nm の超微細 3 次元構造 FinFET のゲート遅延の結果であり、青丸は本研究において (551) シリコン表面上に試作した nMOS および pMOS のゲート長 100nm、ゲート絶縁膜厚 3.0nm の Accumulation Mode CMOS のゲート遅延の結果を示している。ゲート長、ゲート絶縁膜厚ともに IMEC の 3 次元構造 FinFET よりも大きい

にもかかわらず、ゲート遅延時間は半分以下に低減されており、本研究で提案する微細化に依らない動作速度の向上が実証された。

## 5. 今後の計画

(1) シリコン表面平坦化にプラズマプロセスを適用し、さらなる平坦化温度の低温化を図る。

(2) 上面が (551) シリコン表面、側面が (100) シリコン表面から構成され、これらシリコン表面が平坦化された 3 次元立体構造 MOS トランジスタの試作に取り組み、本研究の目的である超低消費電力で文字通り超高速動作するバランスド CMOS シリコン集積回路 (LSI) を創出を目指す。

## 6. これまでの発表論文等 (受賞等も含む)

(研究代表者は二重線、研究分担者は一重下線、連携研究者は点線)

- (1) R. Kuroda, A. Teramoto, X. Li, T. Suwa, S. Sugawa, and T. Ohmi, “On the Interface Flattening Effect and Gate Insulator Breakdown Characteristic of Radical Reaction Based Insulator Formation Technology”, Japanese Journal of Applied Physics, Vol. 51, No. 2, 02BA01, February 2012.
- (2) X. Li, R. Kuroda, T. Suwa, A. Teramoto, S. Sugawa, T. Ohmi, “Highly Reliable Radical SiO<sub>2</sub> Films on Atomically Flat Silicon Surface Formed by Low Temperature Pure Ar Annealing”, Japanese Journal of Applied Physics, Vol. 50, No. 10, 10PB05, October 2011.
- (3) A. Teramoto, X. Li, R. Kuroda, T. Suwa, S. Sugawa, and T. Ohmi, “Gate SiO<sub>2</sub> Film Integrity on Ultra-Pure Argon Anneal (100) Silicon Surface”, ECS Transactions, Vol. 41, No. 7 ULSI Process Integration 7, pp.147-156, October 2011.
- (4) X. Li, A. Teramoto, T. Suwa, R. Kuroda, S. Sugawa, T. Ohmi, “Formation speed of atomically flat surface on Si(100) in ultra-pure argon”, Microelectronic Engineering, Vol. 88, Issue 10, pp. 3133-3139, October 2011.
- (5) T. Ohmi, H. Tanaka T. Suwa, X. Li and R. Kuroda, “Science-based New Silicon Technologies Exhibiting Super High Performance due to Radical-reaction-based Semiconductor Manufacturing”, Journal of the Korean Physical Society, Vol. 59, No. 2, pp. 391-401, August 2011.

ホームページ

<http://www.fff.niche.tohoku.ac.jp/>