

科学研究費助成事業（特別推進研究）公表用資料
〔研究進捗評価用〕

平成 21 年度採択分

平成 24 年 5 月 30 日現在

省電力／超高速ナノ CMOS のための
電子物性設計と高移動度チャネル技術の創生
Design of Electronic Properties and Development
of High-Mobility Channel Technology
for Low Power/High-Speed Nano-CMOS Devices

研究代表者

財満 鎮明 (ZAIMA SHIGEAKI)

名古屋大学・大学院工学研究科・教授



研究の概要：本研究では、ナノスケール CMOS の超低消費電力化と超高速化を実現するための高移動度チャネル技術の創成に向けて、歪 Ge 系チャネル材料の開発とその電子物性の設計指針構築を目指す。Si 基板上への歪 Ge チャネルの実現を目的として、歪 Ge/Ge_{1-x}Sn_x/Si ヘテロ構造作製のための基盤技術の確立と、歪 Ge および高 Sn 組成 Ge_{1-x}Sn_x の結晶および電子物性の解明、MOS 構造界面制御技術の提案・実証などを推進している。

研 究 分 野：工学

科研費の分科・細目：応用物理・工学基礎、応用物性・結晶工学

キ ー ワ ー ド：CMOS、ゲルマニウム、錫、歪、エピタキシャル成長

1. 研究開始当初の背景

現代の高度情報化社会を支える超々大規模集積回路（ULSI）の素子寸法がナノスケールに到達した現在、材料の物性的限界から、これまでのスケーリングのみに頼る性能向上は不可能となっている。また、環境問題や携帯機器への応用の広がりから、ULSI の一層の省電力化、高速化、高機能化が求められている。

ULSI の超低消費電力化／超高速化においては、これを構成する Si 系 MOS 型トランジスタの電流駆動能力向上が不可欠である。現在、Si への結晶歪印加による高キャリア移動度技術が導入されている。しかし、次世代ナノスケール ULSI では、歪 Si をさらに越える高移動度材料のチャネル領域への導入が必要不可欠となっている。

2. 研究の目的

本研究では、ナノスケール CMOS の超低消費電力化と超高速化を実現するための高移動度チャネル技術の創成に向けて、歪 Ge 系チャネル材料の開発とその電子物性設計指針の構築を目指している。

3. 研究の方法

Ge が歪 Si 系 CMOS 性能を越えるためには、電子移動度のさらなる向上が必要である。Ge に 1% 程度の伸張歪を印可すると電子と正孔共に歪 Si の移動度を越えるこ

とが期待できる。また、さらに大きな伸張歪の印加や 20% 程度の Sn の添加により、バンド構造が直接遷移型に変化し、電子と正孔移動度が飛躍的に増加する可能性があることが予想されている。

本研究では、Si 基板上の歪 Ge チャネル実現を目的として、歪 Ge/GeSn/Si ヘテロ構造作製のための基盤技術の確立と、歪 Ge および高 Sn 組成 GeSn の電子物性の解明、MOS 構造界面制御技術の提案などを行っている。Ge への Sn 添加は、Ⅳ族系半導体材料に新しい物性や自由度をもたらす。特に、Si プロセスと整合性の高い Ge 系材料を用いたナノ CMOS における n・p 両チャネルの同時実現は、次世代 ULSI 技術のトレンドを根本から変革する可能性を秘め、産業的インパクトは極めて大きい。さらに、本材料系は、高伸張歪印加や高組成 Sn 添加により直接遷移化も期待され、ULSI 応用のみならず、太陽電池や受光・発光デバイスなどへの応用展開が大いに期待できる。

4. これまでの成果

(1) Ge(Sn)結晶成長技術の構築

Si および Ge 基板上への Ge_{1-x}Sn_x エピタキシャル層成長を試み、12% の高 Sn 組成を有し、Ge 層に 1.3% の伸張歪を印加可能な Ge_{1-x}Sn_x 層の形成に成功した。さらに InP 基板を用いて Ge_{1-x}Sn_x 層と基板結晶間

のミスフィット量を縮小した結果、世界で初めて 27% の超高 Sn 組成を有する $\text{Ge}_{1-x}\text{Sn}_x$ 単一層のエピタキシャル成長を実証した。

Si(110)基板上に $\text{Ge}_{1-x}\text{Sn}_x$ 層の MBE 低温成長を行い、双晶成長を抑制しながら、等方的歪緩和を促進できることを世界で初めて見出した。高移動度 Ge あるいは $\text{Ge}_{1-x}\text{Sn}_x$ 110 チャンネルの実現が期待される。

(2) 歪エピタキシャル層の結晶構造分析

収束電子回折法で得られる HOLZ 線図形およびナノビーム電子回折図形を用いた高精度歪み解析法を開発し、半導体多層膜試料の界面近傍数 10nm 領域の歪みの評価を実現した。本手法を SiGe/Si 界面近傍の歪構造評価に適用し、界面から 40nm の領域における 0.2% の伸張歪みの存在、界面から 100nm の距離までの伸張歪み分布、伸張歪みと湾曲歪みとの相関などを実証した。

(3) 歪 Ge 電子物性解明とプロセス開発

0.1~2% の Sn 導入によって、低温成長 Ge 層に導入される結晶欠陥を低減できることを見出した。0.1% の Sn 導入と水素熱処理により、空孔欠陥起因とみられるキャリア濃度を、未処理の場合の $1.5 \times 10^{18} \text{cm}^{-3}$ から 10^{16}cm^{-3} 台にまで大きく低減し、正孔移動度も改善できることを実証した。

Sn 組成 5% の $\text{Ge}_{1-x}\text{Sn}_x$ 層に Ga の *in-situ* ドーピングを試み、転位の導入なく、100% の高い電気的活性化率と $1.2 \times 10^{19} \text{cm}^{-3}$ の高キャリア濃度を実現できることを示した。

また、Sn 組成 5%~27% の $\text{Ge}_{1-x}\text{Sn}_x$ 層の光吸収スペクトルの評価より、直接遷移化の実証とエネルギーバンドギャップの Sn 組成依存性を世界に先駆けて明確化した。

(4) Ge(Sn)系チャンネル MOS 構造

Pr 酸化膜/Pr 酸窒化膜/Ge 構造の界面化学結合状態を詳細分析し、膜中の酸素化学ポテンシャルの制御が界面 GeO の形成抑制に重要であることを示した。これに基づく界面構造制御により、比較的低い界面準位密度 ($4 \times 10^{11} \text{eV}^{-1} \text{cm}^{-2}$) とリーク電流の抑制された MOS 構造形成に成功した。

(5) GOI 貼り合わせ技術の開発

Al_2O_3 堆積後の ECR プラズマ酸化により、良好な $\text{Al}_2\text{O}_3/\text{GeO}_2/\text{Ge}$ MOS 界面の形成に成功した。また、本プロセス後、Ge 基板と SiO_2/Si 基板とを貼り合わせ、Ge-on-Insulator (GOI) 基板の貼り合わせ界面の特性向上を実現した。ポストプラズ

マ酸化プロセスを用いた貼り合わせ界面向上技術に関して、低温プロセス導入により、EOT 1nm 程度においても良好な界面を実現した。また、CMP 薄膜化プロセスを用いることで、厚さ 1 μm 程度の GOI 層形成に成功した。

5. 今後の計画

構築した結晶成長、プロセス技術を駆使して、歪 Ge 系デバイス構造の作製と高キャリア移動度の実証を進めていく。

6. これまでの発表論文等 (受賞等も含む)

【学術論文】

1. "Growth of $\text{Ge}_{1-x}\text{Sn}_x$ heteroepitaxial layers with very high Sn contents on InP(001) substrates", M. Nakamura, Y. Shimura, S. Takeuchi, O. Nakatsuka, and S. Zaima, *Thin Solid Films* **520** (8), pp. 3201-3205 (2012).
2. " $\text{Ge}_{1-x}\text{Sn}_x$ stressors for strained-Ge CMOS", S. Takeuchi, Y. Shimura, T. Nishimura, B. Vincent, G. Eneman, T. Clarysse, A. Vantomme, J. Dekoster, M. Caymax, R. Loo, O. Nakatsuka, and S. Zaima, *Solid-State Electronics* **60** (1), pp. 53-57 (2011).
3. "Control of Strain Relaxation Behavior of $\text{Ge}_{1-x}\text{Sn}_x$ Layers for Tensile Strained Ge Layers", Y. Shimura, S. Takeuchi, O. Nakatsuka, and S. Zaima, *ECS Trans.* **33** (6) pp. 205-210 (2010).
4. "Effect of Pr Valence State on Interfacial Structure and Electrical Properties of Pr-oxide/PrON/Ge Gate Stack Structure", K. Kato, M. Sakashita, W. Takeuchi, H. Kondo, O. Nakatsuka, and S. Zaima, *Jpn. J. Appl. Phys.* **50**, 04DA17 (7 pages) (2011).

その他、27 編。

【受賞など】

1. 日本表面科学会・フェロー, 財満鎮明, 2011 年 5 月 23 日.
2. Best Student Paper Awards (7th International Conference on Si Epitaxy and Heterostructures (ICSI-7)), 中村茉莉香 (名古屋大学大学院生), "Growth of $\text{Ge}_{1-x}\text{Sn}_x$ heteroepitaxial layers with very high Sn contents on InP(001) substrates", 2011 年 9 月 1 日.

その他、2 件。

【ホームページ】

http://alice.xtal.nagoya-u.ac.jp/nano_cmos/