



研究代表者	東京大学・大学院工学系研究科（工学部）・教授 長汐 晃輔（ながしお こうすけ） 研究者番号:20373441
研究課題 情報	課題番号：22H04957 キーワード：電子デバイス、2次元半導体、ヘテロ接合、トンネル現象 研究期間：2022年度～2026年度

なぜこの研究を行おうと思ったのか（研究の背景・目的）

●研究の全体像

新型コロナウイルス感染症の影響により社会基盤のデジタル・トランスフォーメーションだけでなく個人の生活様式の変革が進み、IoTデバイスの爆発的な増加が予想されるが、IoTデバイスの普及には電子デバイスの超低消費電力化が本質的なボトルネックである(図1)。これまでに我々は、原子レベルで明確な界面をもつ2次元材料を用いた電子デバイスを作製し、従来のSi電子デバイスよりも優れた特性の実証、及び2次元材料の大幅成長を達成してきた。本研究では、“集積化可能な”現実的なデバイス構造に基づいた2次元材料を用いることで超低消費電力動作を実証することである。これにより、その社会的重要性にもかかわらず見通しの立たなかった超低消費電力デバイス実現に貢献したい。

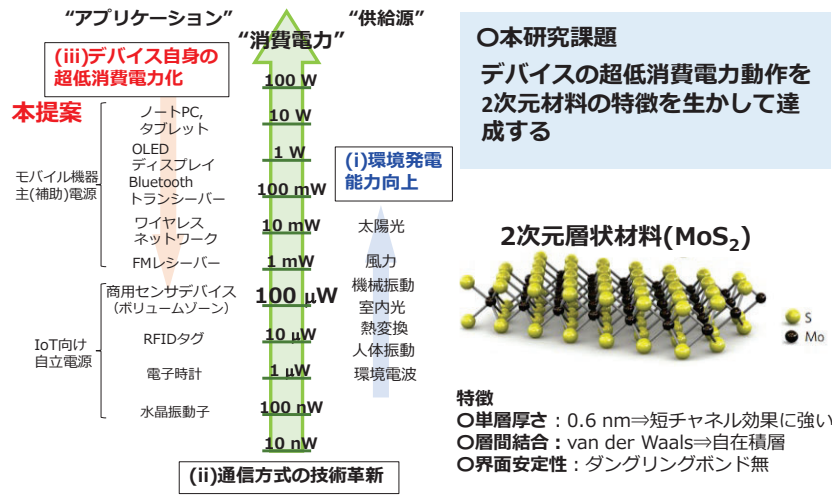
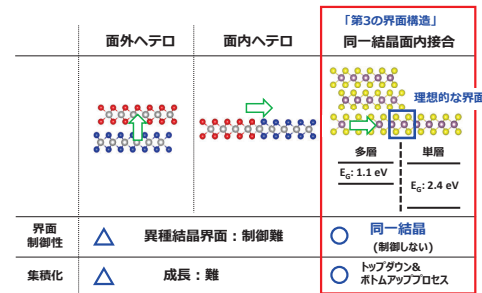


図1 (左)消費電力化に寄与する3種類の手法を示している。本研究課題では、デバイス自身の超低消費電力化を狙う。(右)2次元材料の原子模型図と特徴。

●ブレークスルーにつながる提案

本研究では、“集積化可能な”現実的なデバイス構造に基づいた2次元-トンネル電界効果トランジスタ(FET)を初めて提案する。ポイントは、(1)複雑な2次元ヘテロ構造を使わないシンプルなデバイス構造、(2)集積化可能なSiプロセスを利用、という点である。これまでの検討の結果、図2に示すように、2次元ヘテロ構造ではなく、同一結晶面内接合界面を利用したデバイス構造の有用性を見出した。この構造は、原子層エッチングによるトップダウンプロセス及び局所選択成長によるボトムアッププロセスなど集積化可能な複数のアプローチで作製できる。以上を踏まえて、本研究では、同一結晶面内接合界面を利用した2次元-トンネルFETを集積化し、超低消費電力動作を実証する。

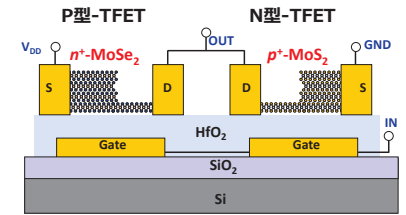
“集積化可能な”現実的なデバイス構造の提案



新奇性ある第3の界面構造をTFETに！

図2 (左) 2次元材料で可能な3種類の界面構造。(右)2次元材料を用いたトンネルFETのインバータ構造。

2D-TFETインバータ構造



基本部分を集積可能なSiプロセスにより作製

この研究によって何をどこまで明らかにしようとしているのか

●メンバー構成

本研究構想を実現するためには、(a)同一結晶面内接合界面構造の形成プロセスの確立、(b)集積化を可能にする大幅積2D成長、(c)高濃度n<sup>+</sup>ソース結晶の新たな選択枝の開拓、の3つが主要な課題となる。そこで、図3に示すように、バルク結晶成長及び大幅成長における置換型ドーピング研究を引っ張っている上野G@埼玉大と宮田G@都立大と組むことで、自身のデバイスプロセスと合わせて、2D-TFETの集積化までを実証できる体制とした。

●達成したいこと

超低消費電力デバイスの構築には、電子デバイスにおける伝達曲線の急峻性と高いオン電流が必要となる。図3に示す目標値を達成するために、以下の研究項目を設定した。(i)原子層エッチングによる同一結晶面内接合構造の作製、(ii)高ドーパ2次元結晶の大幅積・位置制御成長、(iii)新規高濃度n<sup>+</sup>ドーパ2次元結晶ソースの形成、(iv)オーミック電極形成、(v)単一トンネルFETデバイス及びの作製及び評価。以上の研究項目を推進することで目標値を達成し、超低消費電力デバイス構築に寄与する。

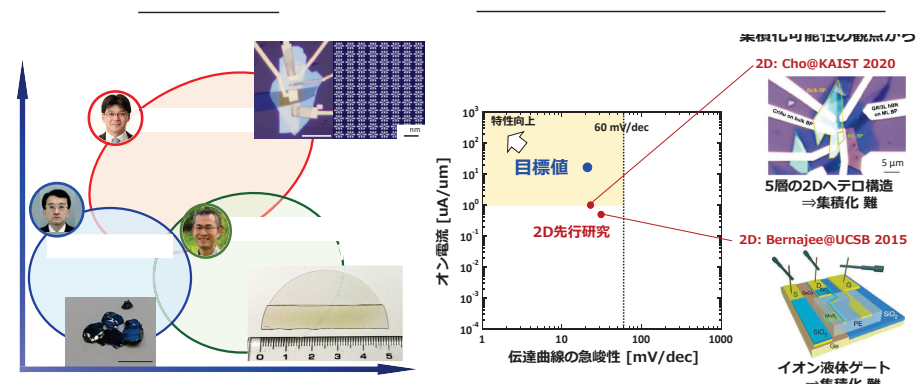


図3 (左)チーム構成。(右)研究の目標と世界の研究動向。

