

科学研究費助成事業（基盤研究（S））公表用資料
〔令和2（2020）年度 研究進捗評価用〕

平成29年度採択分
令和2年3月31日現在

layer transfer による高移動度材料3次元集積 CMOS の
精密構造制御

Precise structure control of 3-dimensional integration CMOS
using high mobility materials through layer transfer

課題番号：17H06148

高木 信一（TAKAGI, SHINICHI）

東京大学・大学院工学系研究科・教授



研究の概要（4行以内）

将来の微細 CMOS デバイスの有力候補である、Ge や III-V 族半導体などの高移動度チャネル材料を使った3次元集積 CMOS を、(1) layer transfer によるチャネル形成技術 (2) 低温 SD 形成と3次元 CMOS コネクティビティ技術 (3) 高品質 MOS 界面形成技術 の開発により実現し、動作実証すると共に、3次元集積 CMOS 構造の精密制御の基礎学理を確立する。

研究分野：半導体デバイス

キーワード：MOSFET, ゲルマニウム, III-V 族半導体

1. 研究開始当初の背景

情報機器の発展を支える CMOS 技術の微細化は、近年、物理限界がより明白となり、集積度向上と性能向上の両立は極めて難しくなっている。この課題を解決する素子として、性能を損ねずに集積度を高めていくことが可能な3次元積層 CMOS が高い関心を集めているが、低温での素子形成が課題である。低温での素子形成と高い素子性能の両立できるチャネルとして、Ge や III-V 族半導体などの高移動度材料が期待されている。

2. 研究の目的

将来の微細 CMOS 構造として極めて有望な、高移動度チャネル材料による3次元集積 CMOS を実現するために必要な(1) layer transfer によるチャネル形成技術、(2) 低温 SD 形成と3次元コネクティビティ技術、(3) MOS 界面制御技術 の手法と学理を創出し、ナノメートルレベルでの精密構造制御手法を確立することにより、3次元集積 CMOS の動作を実現すると共に、将来世代の微細 CMOS への適用のための道筋を明らかにする。

3. 研究の方法

Si 基板上に高品質の Ge や III-V 半導体薄膜を smart cut 法や epitaxial lift-off (ELO) 法等の貼り合わせ法により形成すると共に、メタルソースドレイン等の低温ソースドレイン形成、上下の MOSFET を接続する3次元 CMOS コネクティビティ技術、MOS 界面制御技術等と組み合わせ、3次元集積 CMOS を実証すると共に、極薄半導体チャネルの電子物性を包括的に明らかにし、高移動度チャネル3次元 CMOS 技術の体系化を行う。

4. これまでの成果

(1) layer transfer によるチャネル形成技術と MOSFET の実証

(1-1) GOI チャネル形成・・・smart cut 法による GOI 形成技術確立のため、(100)面と(111)面 Ge 基板に対して、スプリットプロセスの最適化と水素イオン注入条件の絞り込みを行い、両面方位でウェハレベルでの 2 inch GOI 基板の作製に成功した。更に GOI 層の結晶性の向上を実現するために、熱処理条件を最適化し、550°C のアニーリングにより、移動度を最大化し、欠陥に起因する残留キャリア濃度を最小化できることを明らかにした。この基板を用いて、nMOSFET を作製した所、バルク基板と同等の移動度が得られることが分かり、高い結晶性が確認された。また、Ge の ELO 技術では、SiGe 系ヘテロ構造を用いた Hetero-Layer Lift-Off 法を開発し、Ge の接合界面の Si によるパッシベーション、最終的な Ge 層の膜厚を精密に制御するための SiGe エッチストップ層等、エピ構造を工夫することで、Ge 結晶性を維持しつつ、10nm 以下の膜厚制御が可能であることを明らかにした。更に、低温酸化と酸化膜エッチングを繰り返すデジタル・エッチング法により GOI 構造の膜厚揺らぎを効果的に低減、数 nm 厚の超極薄 GOI 構造を実現した。この構造を使って nMOSFET を作製し、膜厚減少に伴い電子移動度が向上するという特異で大変興味深い現象を見出した。

更に、酸化濃縮法において、濃縮前の初期基板における SiGe 膜厚を 40nm に薄膜化することで、引張ひずみが向上（最大 1.8%）し、

pMOSFET おいて、過去最大の正孔移動度 $467 \text{ cm}^2/\text{Vs}$ を実現した。本 GOI 層の膜厚を、デジタル・エッチング法で薄膜化した、GOI 膜厚 2 nm の pMOSFET の動作に成功した。更に、酸化濃縮チャンネルに低温酸化を施すことで、チャンネルの圧縮ひずみを最大 0.5% の引張りひずみに変えることができることを初めて見出し、nMOSFET において、無ひずみ GOI と比較して約 2.1 倍の電子移動度増大、最大電子移動度 $461 \text{ cm}^2/\text{Vs}$ を実証した。更に、nMOSFET においても、 2.1 nm までの GOI 膜厚での FET 動作及び、 10 nm から 2.5 nm まで GOI 膜厚を極薄膜化することで電子移動度が向上することを見出し、 2.5 nm の GOI での電子移動度 $771 \text{ cm}^2/\text{Vs}$ を達成した。

(1-2) III-V-OI チャンネル形成・・・III-V-On-Insulator 構造の実現のため、InAs 基板に smart cut 技術を適用し、プロセス最適化により、 2 inch InAs-OI 基板を実現し、InAs-OI において、(111) 面は(100) 面より膜厚平坦性、均一性に優れることを明らかにした。更に、 500°C のアニーリングにより、残留キャリア濃度最小化、移動度最大化ができ、ほぼエピタキシャル層と同等にまで結晶回復できることを実験的に明らかにした。また、InAs へのデジタル・エッチングにより、極めて平坦な極薄 InAs-OI 層を形成し、 5 nm 厚の InAs-OI nMOSFET の動作と $\sim 200 \text{ cm}^2/\text{Vs}$ の実効電子移動度を実現した。

(2) 低温 SD 形成と 3 次元 CMOS コテクティビティ技術・・・3 次元 CMOS コテクティビティ技術開発のため、layer transfer 技術により Si 基板上に Ge デバイス層を 2 層積層した。ここでは、絶縁性・接着性の高いベンゾシクロブテン(BCB)を GOI MOSFET 上に塗布・平坦化し、Ge 層の 2 回目の転写を実現した。

また、InAs チャンネルに対する低温 SD 形成技術として、Ni-InAs を SD とするメタル SD 構造を検討し、 250°C 、1 分と極めて低温の RTA により低抵抗コンタクトを実現した。更に、Ni-InAs/InAs-OI 構造のコンタクト抵抗を精密に評価できる新しい寄生抵抗評価手法を提案し、この界面のコンタクト抵抗率の実測に初めて成功した。その結果から、ショットキーバリアがほぼゼロであることが分かり、低温形成 Ni-InAs SD が 3 次元集積 CMOS に有望であることを定量的に明らかにした。

(3) 高品質 MOS 界面形成技術・・・Ge MOS 界面特性の向上のため、特に遅い準位の物理的起源の明確化を進め、界面層中に存在している遅い準位と電圧ストレスで発生する遅い準位を峻別する評価法を提案、遅い準位量低減のための方針を明確にした。また、III-V MOS 界面の界面準位の低減のため、InGaAs 表面の前処理手法の検討を行い、従来用いられている $(\text{NH}_4)_2\text{S}$ 処理の前に As 酸化物を十分除去できる HF や HCl 処理を行うことで、界面準位密度を最小化できることを見出した。

5. 今後の計画

GOI/III-V-OI 層形成に関し、ヘテロ構造を用いた ELO 技術を含めた layer transfer 技術の更なる高品質化・膜厚均一性向上を進め、高品質 MOS 界面形成技術と組み合わせて、極薄チャンネルでの移動度向上を実現する。更に、GOI pMOSFET/ InAs-OI nMOSFET および GOI pMOSFET/GOI nMOSFET の組み合わせを中心としたチャンネル層の 3 次元集積 CMOS に向け、2 段転写構造を実現し、低温 SD 形成と積層 CMOS 構造の配線手法を開発する。以上の要素技術を総合して、高移動度チャンネル 3 次元積層 CMOS の実現・実証を進めると共に、CMOS 性能を支配している要因の物理や背景となる界面物性の学理を明確化して、微細化世代で実用化するための道筋を明らかにする。

6. これまでの発表論文等 (受賞等も含む)

1. C.-M. Lim, Z. Zhao, K. Sumita, K. Toprasertpong, M. Takenaka and S. Takagi, "Effects of hydrogen ion implantation dose on physical and electrical properties of Ge-on-insulator layers fabricated by smart-cut process", AIP Advances, vol. 10 (2020) 015045
 2. K.-W. Jo, C.-M. Lim, W.-K. Kim, K. Toprasertpong, M. Takenaka and S. Takagi, "Strain and surface orientation engineering in extremely-thin body Ge and SiGe-on-insulator MOSFETs fabricated by Ge condensation", IEEE International Electron Device Meeting (IEDM) (2019) 673
 3. S.-H. Yoon, K. Kato, C. Yokoyama, D.-H. Ahn, M. Takenaka and S. Takagi, "Re-examination of effects of Sulfur treatment on Al₂O₃/InGaAs metal-oxide-semiconductor (MOS) interface properties", J. Appl. Phys., vol. 126 (2019) 184501
 4. K. Sumita, K. Kato, M. Takenaka, and S. Takagi, "Fabrication of thin body InAs-on-Insulator structures by Smart Cut method with H⁺ implantation at room temperature", Jpn. J. Appl. Phys., vol. 58 (2019) SBBA03
 5. W. H. Chang, T. Irisawa, H. Ishii, N. Uchida and T. Maeda, "Physical Mechanisms of Mobility Enhancement in Ultrathin Body GeOI pMOSFETs Fabricated by Hetero-Layer-Lift-Off Technology", IEEE Trans. Electron Devices, 66(3) (2019) 1182
- その他、査読付き論文：19 件、招待講演：27 件、国際会議：35 件、国内会議：43、表彰：7 件

7. ホームページ等

産総研広報：<https://www.youtube.com/watch?v=VSoH8x7DcCo>

高木竹中研究室ホームページ：

<http://www.mosfet.k.u-tokyo.ac.jp/>