

科学研究費助成事業（基盤研究（S））公表用資料
〔平成29年度研究進捗評価用〕

平成27年度採択分
平成29年3月13日現在

オンチップ光配線のための超低消費電力半導体薄膜光回路の構築

Creation of Ultra-low Power-consumption Semiconductor Membrane

Photonic Integrated Circuits toward On-chip Optical Interconnections

課題番号：15H05763

荒井 滋久 (ARAI SHIGEHISA)

東京工業大学・科学技術創成研究院・教授



研究の概要

集積回路の高速信号処理化における金属配線ボトルネック問題に対処するため、超高速信号を低消費電力で伝送する光配線に適合する超低消費電力光源および受光器を、研究代表者らが提案・実現してきた半導体薄膜構造を用いて実現すると共に、これらを用いる光回路化の構築を目指す研究である。

研究分野：電気電子工学、電子デバイス・電子機器

キーワード：光デバイス・光回路

1. 研究開始当初の背景

Si LSIの歴史は、スケーリングという概念に基づく技術進化の歴史である。ムーアの法則の長期的維持のため、1993年にロードマップが作成され、それに従った微細化によりトランジスタは年々進化を遂げてきたが、2000年代以降、金属配線におけるRC遅延および発熱問題（「配線ボトルネック」）が顕著となり、これを打破する一つの解決策として、超高速・低消費電力の可能性を有する「光配線」の研究が進展してきた。

2. 研究の目的

本研究は、これらの課題を克服するため、半導体薄膜光集積回路 (Membrane Photonic Integrated Circuits; MPICs) をLSI上にハイブリッド実装する技術を確認することを目的としている。特に、金属配線で問題となる高速かつ低消費電力信号伝送の観点で有用となる小型・低消費電力・高効率を達成しうる光源および受光器の設計と実現を中核として行う。研究期間内に以下の目標達成を目指して行う。

1. 小型・低消費電力・高効率を達成しうる光源、受光器の設計と実現
2. 要素デバイスをつなぎ合わせたシリコン基板上光集積回路の実現と低消費電力伝送の実証
3. CMOS基板上への光回路集積方法、接続方法の確立と基本的な信号伝送の実現

3. 研究の方法

研究は代表者と4名の分担者および研究補

助員の雇用により遂行する。荒井滋久、西山伸彦、雨宮智宏は、東京工業大学にて装置類を共有している。また、松尾慎治、碓塚孝明はNTT研究所で独自の装置を有しているが、使用する材料を共通としているため、相互に加工測定が可能である。図1に実現予定の素子概要図と、各々が担当する領域を示す。LSI上に構成する半導体薄膜層からなる光集積回路は、主に「半導体薄膜レーザ」「半導体薄膜受光器」「導波路」から構成される。

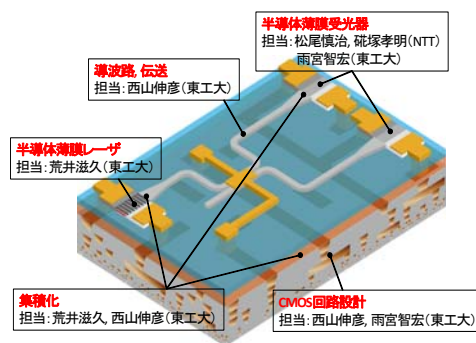


図1 実現予定の素子概要と担当領域

研究代表者である荒井滋久は研究の取りまとめとともに、「半導体薄膜レーザ」に関する設計・作製を行う。「半導体薄膜受光器」は、分担者の松尾慎治と碓塚孝明、および雨宮智宏が、それぞれ別のアプローチで設計・作製を行う。それらを繋ぐ「導波路」については、西山伸彦が設計・作製を行い、3要素を集積化する技術については主に荒井と西

山伸彦が担当する。当初の2年間は、光集積回路をシリコン基板上に作製するが、後半ではCMOS回路の上に形成する予定である。

4. これまでの成果

シリコン基板上に半導体薄膜レーザおよび半導体薄膜受光器を作製するとともに、短距離ではあるがこれらを集積した薄膜光集積回路を作製した。

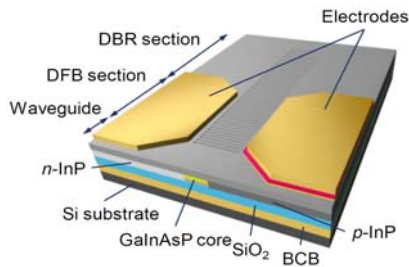


図2 半導体薄膜DRレーザの概要

図2には、BCBを介してSi基板上に貼り付けた半導体薄膜分布反射型(DR)レーザの模式図を示す。薄膜構造特有の高いモード光利得特性を反映し、電流注入領域長を32 μm に短縮した素子において、室温連続動作下でのしきい値電流0.21 mA、前方光出力に対する微分量子効率32%、オンチップ光配線に要求される光出力0.16 mWを得るための動作電流0.84 mA、その際の電力変換効率12%という低電流・高効率動作を実現した。

図2の後方ブラッグ反射器を除いた半導体薄膜分布帰還(DFB)レーザを作製し、バイアス電流の平方根に対する変調可能周波数の傾きである変調効率として12 GHz/mA^{1/2}と、従来型半導体レーザに比べて約3倍高い低電流・高速動作性を実現した。

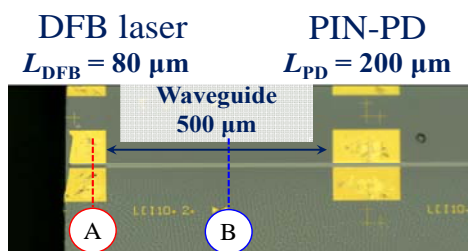


図3 試作した薄膜光集積回路

図3には、薄膜DFBレーザとPINフォトダイオード(PD)を500 μm 長のGaInAsP光導波路を介して集積した薄膜集積回路の顕微鏡写真を示す。レーザ駆動電流2.5 mA、PIN-PDのバイアス電圧-3 Vにおいて、10 Gbit/sの信号伝送を実現した。

低消費電力・高効率・高速伝送用光源については、当初目標をほぼ達成できたと考えられる。受光器については、小型化・高感度・高速動作化のために、フォトニック結晶構造

を用いるPDの素子設計、およびアバランシェ増幅を用いる素子の作製を行っており、特性評価を行っている。

5. 今後の計画

光源に関しては、*p*形不純物濃度の低減による光吸収損失低減と素子抵抗低減を両立するための構造設計を行い、低消費電力・高速動作の理論限界を追求する予定である。

受光器に関しては、小型化素子の作製および特性評価を行い、オンチップ光リンク応用のための素子構造を明らかにする。

距離1 cm程度の光リンクを低消費電力で動作させるための低損失光導波路および高効率光結合構造を実現するための構造の設計・作製を行う。

6. これまでの発表論文等(受賞等も含む)

- (1) T. Hiratani, D. Inoue, T. Tomiyasu, K. Fukuda, T. Amemiya, N. Nishiyama, S. Arai, "90 °C continuous-wave operation of GaInAsP/InP membrane distributed-reflector laser on Si substrate," Appl. Phys. Express, Vol. 10, No. 3, 032702 (2017).
- (2) Z. Gu, T. Hiratani, T. Amemiya, N. Nishiyama, S. Arai, "Study of Slow-light-enhanced Membrane Photodetector for Realizing On-chip Interconnection with Low Power Consumption," J. Opt. Soc. of America B, Vol. 34, No. 2, pp. 440-446 (2017).
- (3) D. Inoue, T. Hiratani, T. Tomiyasu, K. Fukuda, T. Amemiya, N. Nishiyama, S. Arai, "Low-bias Current 10 Gbit/s Direct Modulation of GaInAsP/InP Membrane DFB Laser on Silicon," Opt. Express, Vol. 24, No. 16, pp. 18571-18579 (2016).
- (4) D. Inoue, T. Hiratani, T. Tomiyasu, K. Fukuda, T. Amemiya, N. Nishiyama, S. Arai, "High-modulation Efficiency Operation of GaInAsP/InP Membrane Distributed Feedback Laser on Si Substrate," Optics Express, Vol. 23, No. 22, pp. 29024-29031 (2015).
- (5) T. Hiratani, T. Shindo, K. Doi, Y. Atsuji, D. Inoue, T. Amemiya, N. Nishiyama, S. Arai, "Energy Cost Analysis of Membrane Distributed-Reflector Lasers for On-chip Optical Interconnects," IEEE J. Sel. Top. in Quantum Electron., Vol. 21, No. 6, 1503410 (2015).

ホームページ等：

<http://www.pe.titech.ac.jp/AraiLab/index.html>

<http://www.pe.titech.ac.jp/AraiLab/index-e.html>