

**グラフォアSEMBリーによる三次元積層型  
光電子集積システム・オン・チップ**  
Three-Dimensionally Stacked Optoelectronic  
System-on-Chip Fabricated Using Grapho- Assembly

小柳 光正 (KOYANAGI MITSUMASA)

東北大学・未来科学技術共同研究センター・教授



研究の概要

スーパーチップインテグレーションと呼ぶ新しい三次元集積化技術と光電子集積化技術を駆使して、高性能で、低電力、高機能の光電子集積システム・オン・チップを実現する。この三次元積層型光集積システム・オン・チップでは、100 万本/cm<sup>2</sup>以上の高密度チップ貫通配線(TSV: Through Si Via)とチップ貫通光インターコネクション(TSPV)により、チップ層間が接続される。

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス・電子機器

キーワード：電子デバイス・集積回路

1. 研究開始当初の背景

Moore の法則で知られるように、これまでLSI は、微細加工技術の進歩に伴う半導体素子の微細化により、高性能化、大容量化を実現してきた。しかし、微細加工技術が32nm ノード、22nm ノードと進むにつれて、素子の微細化に伴う様々な問題が顕在化した。そのため、LSI に異種材料、異種デバイスなどを搭載するなどして、微細化に頼らずに高性能化、高機能化がはかれる新しい集積化技術に対する要求が高まっていた。

2. 研究の目的

三次元集積化技術と光電子集積化技術を駆使して、高性能で、低電力、高機能の光電子集積システム・オン・チップの実現を目指す。このような光電子集積システム・オン・チップを実現するために、異なった種類のチップやデバイスを高精度に位置合わせして積層化するための新しいアSEMBリー技術として、液体の表面張力を利用して自己組織的にチップやデバイスの位置あわせを行うグラフォアSEMBリー技術を開発する。

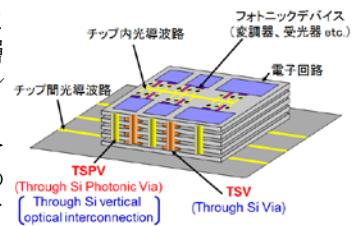
3. 研究の方法

グラフォアSEMBリー技術においては、チップ表面にナノ構造を形成することによって液体を制御し、チップ位置合わせ精度の向上をはかる。シリコン貫通配線、シリコン貫通光インターコネクションに関しては、0.5 μm 径のシリコン貫通配線と10 μm 径のシリコン貫通光インターコネクションを同時に

作製する技術を確認する。

4. これまでの成果

図1に示すような三次元積層型光電子集積システム・オン・チップの実現を目指して、その鍵となるグラフ



オアSEMBリー 図1 三次元積層型光電子集積システム  
集積システム  
積化技術、光インターコネクション技術、シリコンフォトニクス技術の検討を行うとともに、テストチップを試作して基本特性の評価を行い、以下のような成果を得た。  
1) グラフォアSEMBリーと三次元集積化  
三次元積層型光電子集積システム・オン・チップ実現のためには、各種のフォトニックデバイスを搭載した微小チップや、寸法の異なる多数のLSIチップを精度よく位置合わせして接合する技術が必須となる。そのため、本研究では、液体の表面張力を利用して、多くのチップを高精度で位置合わせして一括接合できるグラフォアSEMBリー技術を提案している。グラフォアSEMBリーでは、チップ表面の表面状態を制御することによって液体を制御してチップの位置合わせ精度を向上させる。これまでの検討結果から、位置合わせ精度は、チップ表面に形成した親水性領域、疎水性領域の表面状態に大きく依存することが明らかになった。そこで、チップ表面にエキシマレーザー照射し、疎水性領域

と親水性領域の水の接触角の差を大きくすることによって、チップ位置合わせ精度を著しく改善できることを示した。このようなグラフィオアセンブリー技術を使って、寸法の異なる 500 個以上のチップを 8 インチ・シリコンウェハ上に一括位置合わせを行い接合することに成功した。位置合わせに要した時間は全チップ一括で 0.5 秒以下である。寸法  $5\mu\text{m} \times 5\mu\text{m}$  の微細 In-Au マイクロバンプを有するチップを  $0.2\mu\text{m}$  以下の位置合わせずれで接合することもできた。100 万本/cm<sup>2</sup> 以上のシリコン貫通配線 (TSV) を有する高集積の三次元集積システム・オン・チップを可能とする TSV 技術の開発にも

取り組み、図 2 に示すように、 $0.5\mu\text{m}$  径の W-TSV と  $8\mu\text{m}$  径の Cu/W-TSV を同一のプロセスで作製するハイブリッド TSV 技術を開発した。

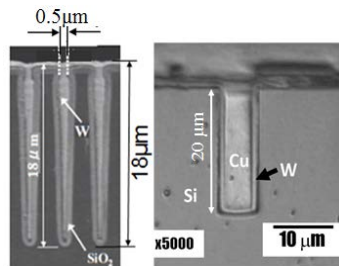


図 2 ハイブリッド TSV 技術により作製した W-TSV と Cu-TSV の SEM 断面観察写真

#### 2) 光インターコネクとフォトニクス技術

光 TSV (TSPV) に関しては、薄化したシリコン基板に Cu-TSV と TSPV を同時に作製するためのプロセスを確立した。このプロセスにより作製した  $10\mu\text{m}$  径の TSPV アレイで、図 3 に示すように、良好な光導波特性を得ることができた。TSPV 技術の確立とともに、光集積システム・オン・チップの実現に必要な微細シリコン光導波路、光方向性結合器、光変調器、受光素子などのフォトニクスデバイスをシリコンチップ上に搭載する技術についても検討し、TSPV を伝搬してきた光信号を水平方向の微細シリコン光導波路へと導波するための光方向性結合器として、ミラー付グレーティングカップラを提案し、光シミュレーションにより 80% 以上の高い結合効率が得られることを示した。

以上のように、本研究では、グラフィオアセンブリーや三次元集積化技術、光技術を融合した新しい三次元積層型光集積システム・オン・チップの実現

可能性を初めて示しており、今後の集積回路の発展に大きく貢献するものと期待される。

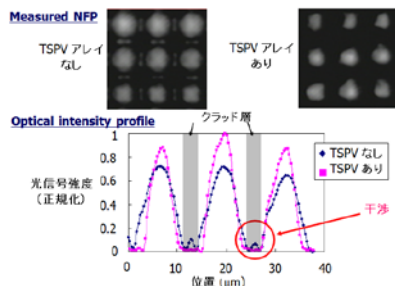


図 3  $10\mu\text{m}$  径 TSPV の光導波特性

#### 5. 今後の計画

引き続き、グラフィオアセンブリー技術、シリコン貫通配線、シリコン貫通光インターコネクション、シリコンフォトニクス・デバイスなどの要素技術の研究を継続するとともに、プロセッサ TEG チップ、制御回路チップ、メモリ TEG チップをシリコン貫通配線、シリコン貫通光インターコネクションで接続した三層積層光電子集積システム・オン・チップを設計、試作する。なお、選択エビ成長装置が震災で損傷したため、Ge の選択エビ成長によるフォトダイオードの作製は断念し、Ge フォトダイオードチップをシリコン光導波路に張り合わせる方法に変更する。

#### 6. これまでの発表論文等 (受賞等も含む)

1) A. Noriki, K-W Lee, J. Bea, T. Fukushima, T. Tanaka, and M. Koyanagi, "Through-Silicon Photonic Via and Unidirectional Coupler for High-Speed Data Transmission in Optoelectronic Three-Dimensional LSI", IEEE ELECTRON DEVICES LETTERS, VOL.33, NO.2, pp.221-223 (2012)

2) Y. Akihama, Y. Kanamori, K. Hane, "Ultra-small silicon waveguide coupler switch using gap-variable mechanism", Optics Express, 19(24), pp.23658-23663 (2011)

3) 小柳光正, 田中徹, "微細 Si 貫通ビアによる三次元インタコネクト技術 (招待論文)", 電子情報通信学会誌, Vol.94, No.12, pp.1027-1032 (2011)

4) T. Fukushima, E. Iwata, Y. Ohara, M. Murugesan, J. Bea, K-W Lee, T. Tanaka, and M. Koyanagi, "Multichip Self-Assembly Technology for Advanced Die-to-Wafer 3-D Integration to Precisely Align Known Good Dies in Batch Processing", IEEE TRANSACTIONS ON COMPONENTS, PACKAGING AND MANUFACTURING TECHNOLOGY, VOL.1, NO.12, pp.1873-1884 (2011)

5) K-W Lee, A. Noriki, K. Kiyoyama, T. Fukushima, T. Tanaka, and M. Koyanagi, "Three-Dimensional Hybrid Integration Technology of CMOS, MEMS, and Photonics Circuits for Optoelectronic Heterogeneous Integrated Systems", IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol.58, pp.748-757 (2011)

6) T. Fukushima, E. Iwata, K-W Lee, T. Tanaka, and M. Koyanagi, IEEE Electronic Components and Technology Conference (ECTC) Outstanding Session Paper Award 2011.5.31)

7) 小柳光正, 紫綬褒章 (2011.11)

<http://www.sd.mech.tohoku.ac.jp/>