

## 極限高純度めっきプロセスによるCu配線ナノ構造制御 と次世代ナノLSIへの展開

Nano-structure Control of Cu Interconnects  
by a Very High Purity Plating Process and  
Its Application to Next-generation LSIs

大貫 仁 (OONUKI JIN)

茨城大学・工学部・教授



### 研究の概要

次世代以降のLSI性能は、Cu配線の導電性に支配される。超高純度めっき材料および添加剤フリーめっき等、超高純度めっきプロセスの極限を追求することにより、微細Cu配線の結晶粒径の均一・粗大化を図り、革新的高導電性を有するCu配線材料の基盤技術を開発する。

研究分野：工学

科研費の分科・細目：材料工学・構造・機能材料

キーワード：LSI, Cu配線, 添加剤フリー, 超高純度めっき材, 革新的高導電性

### 1. 研究開始当初の背景

Cuは低い電気抵抗率と優れた信頼性を有するため、超高速LSI用の配線材料として広く使用されている。しかし、配線幅100nm以下の領域において、線幅の減少に伴い抵抗率が著しく増大するという問題がある。これまで高抵抗率のバリアメタルの極薄化による低抵抗率化等が主として検討されたが、国際半導体ロードマップの仕様を満足する解は得られていない。抵抗率増大の主原因は、微細化に伴い、Cu配線中の結晶粒径がCuの平均自由行程(39nm)と同程度に極めて微細になるという結晶学的要因がある。本質的解決のため、Cu配線の結晶性改善のブレークスルー技術の開発が強く望まれていた。

### 2. 研究の目的

粒成長阻害元素を除去する目的で、純度が市販高純度品よりも2桁以上高い超高純度めっき材料を開発し、不純物の供給源である添加剤を硫酸銅めっき浴から除き、Cuを配線溝中に埋め込む技術を確立後、アニール条件を最適化し、Cu配線中の結晶粒径を均一・粗大化して革新的高導電性と高信頼性を有する配線材料システム基盤技術を構築すること。

### 3. 研究の方法

添加剤フリーめっきあるいは開発した極限低不純物濃度の添加剤による30~50nm幅溝中への埋め込み技術を確立し、抵抗率と耐エレクトロマイグレーション性を従来最高純度品と比較し評価する。結晶粒界に存在す

る粒成長阻害元素の解析を行う。低抵抗率バリアの開発も行い、低抵抗率配線システムを構築する。

### 4. これまでの成果

#### 1) 超高純度Cu及び硫酸銅作製法の開発

市販の最高純度Cu(公称純度6N程度)の水素プラズマ溶解精製を行った。Na, Mg, Al, Cl, K, Ca, As, Te等の不純物が迅速に除去されることを明らかにし、アノードの超高純度化(1~2桁高純度化)を実現した。また、市販高純度銅を最高純度の硫酸で溶解後、分別再結晶を行い、超高純度硫酸銅(1~2桁高純度化)を作製した。

#### 2) 高純度めっき材(アノードと硫酸銅)純度の配線抵抗率の低減効果への寄与率

アノードおよび硫酸銅の純度を変化させ作製した配線の抵抗率を評価した。アノードの配線抵抗率低減効果は20%、硫酸銅のそれは80%であり、硫酸銅純度を高めることが抵抗率低減に特に重要である。

#### 3) 超高純度めっきプロセスによる配線抵抗率の低減

1)を用いて8インチウエハ内に幅30~100nmCu配線(超高純度プロセスCu配線と略称)を作製し、抵抗率を市販の最高純度めっき材料(公称純度6N程度)で作製したCu配線(現状純度プロセス配線と略す)と比較した結果、配線の微細化とともに超高純度プロセスCu配線と現状純度プロセスCu配線の抵抗率の差は大きくなり、幅30nm配線では30%に達する。結晶性との関係を調査した結果、

超高純度プロセス Cu 配線では結晶粒が均一・粗大化するため、低抵抗率が図られた。

#### 4) Cu配線抵抗率と結晶粒径に及ぼす高速熱処理と添加剤フリーめっきとの効果

結晶粒成長に関し、フェーズフィールド法によるシミュレーションで得られた結果（高速熱処理法；RTA）を援用して成長プロセスの最適条件を検討した。添加剤フリーめっきプロセスにより幅 100nm の配線溝中に Cu めっきした後、赤外線加熱方式(RTA)の真空炉中において速度 1.7K/s で最高温度まで加熱し、10 分間保持することにより、従来方式(水素雰囲気中、0.08K/s、30 分保持)の添加剤を用いてめっきした Cu 配線に比べ、より均一・粗大粒が得られ、抵抗率も 30%低減できる。

添加剤フリーめっきプロセスと高速加熱の組み合わせによる上記効果は以下のように考えられる。高速加熱においては、加熱速度が大きいと、加熱昇温中に、粒成長の駆動力である粒界エネルギーが保持されたまま、最高加熱温度まで加熱される。この粒界エネルギーを駆動力にして高温保持中に粒径の急激な粗大化が起こる。従って、保持時間とともに結晶粒が粗大化する。Cu 中の不純物が少ないほど、すなわち添加剤フリーめっきにより形成された Cu 配線ではより均一・粗大粒が得られ、抵抗率の低減効果が大きい。

#### 6) 線幅 60nm配線溝中への添加剤フリーめっきによるCu配線形成と抵抗率の評価

添加剤フリーDC めっきでは、微細溝への埋め込み性は不十分であるため、めっき液流体シミュレーションにより溝開口部形状の適正化をはかると共に、パルスめっき法により埋め込み性の検討を行い、幅 60nm、高さ 200nm の配線溝中への完全埋め込みが可能になった。

#### 7) Cu配線微細構造の評価技術の開発

これまで、Cu 配線の微細構造評価は、主として配線表面および横断面からの TEM 観察により行われてきた。この方法では、全てバンブー構造にしか観察されないため、抵抗率に及ぼす結晶粒径の影響を的確に評価できない。配線長さ方向からの断面評価を行う方法を開発し、高純度化による Cu 配線の微細構造の変化を評価する手段とした。本方法により、電流の流れる方向の結晶性が評価可能となり、低抵抗化のメカニズムに加えて、次期検討項目のエレクトロマイグレーション等の評価が可能となった。

#### 8) Ta/TaNバリア代替低抵抗率Ruバリア形成プロセス技術の開発

配線には高抵抗率の Ta/TaN バリアも含まれるため、低抵抗率バリア材の開発が配線抵抗率低減に重要である。Ru はバルク抵抗率が  $10 \mu \Omega \cdot \text{cm}$  と低く、しかも 200~300°C の還元雰囲気中で容易に還元できて、直接めっきが可能であるが、クレヴァス状の溝が多く発生し、Ta/TaN バリアと積層が必要である。ク

レヴァスフリーで抵抗率がバルク並の Ru バリア形成技術を開発した。

#### 5. 今後の計画

1) 28nm 以細 LSI 対応 Cu 配線形成と抵抗率および信頼性の評価

- ・幅 30~50nm、高さ 100nm~150nm の配線溝中への添加剤フリーあるいは添加剤レス埋め込み技術の確立と抵抗率および信頼性の評価

2) 低抵抗率 Ru バリア材導入による配線抵抗率低減効果の検証

- ・Cu/低抵抗率 Ru バリア配線の抵抗率の評価およびバリア性能ならびに信頼性の評価

3) Cu配線の微細結晶粒界に存在する不純物の解析

- ・球面収差補正型透過電子顕微鏡を用いた結晶粒界に存在する不純物元素の解析

- ・不純物のめっき材料および添加剤からの除去の検討

4) 添加剤フリー超高純度めっきプロセス Cu/Ru および Cu/Ta/TaN 配線の多層配線への展開

#### 6. これまでの発表論文等 (受賞等も含む)

1. 田代 優, 門田裕行, 伊藤雅彦, 打越雅仁, 三村耕司, 一色 実, 大貫 仁, 高純度めっき材料を用いた低抵抗率Cu 配線形成プロセスの 8 インチウエハによる検証, 日本金属学会誌, 75 (2011) 掲載決定

2. T. Inami, J. Onuki, and M. Isshiki, Development of a Nondestructive Method Utilizing X-ray Diffraction for the Evaluation of Grain Size Distributions of Cu Interconnects, Electrochemical and Solid-State Letters, 14(2011) H208-H211

3. J. Onuki, K.P. Khoo, Y. Sasajima, Y. Chonan, and T. Kimura, Reduction in resistivity of 50nm wide Cu wire by high heating rate and short time annealing utilizing misorientation energy, J. Appl. Phys., 108(2010)044302 1-7

4. Y. Sasajima, J. Kageyama, K.P. Khoo, and J. Onuki, Grain coarsening mechanism of Cu thin films by rapid annealing, Thin Solid Films, 518(2010)6883-6890

5. J. Onuki, S. Tashiro, K.P. Khoo, N. Ishikawa, Y. Chonan, T. Kimura, and H. Akahoshi, Effect of the Purity of Plating Materials on the Reduction of Resistivity of Cu Wires for Future LSIs, J. Electrochem. Soc. 157(2010)H857-H862

6. K.P. Khoo and J. Onuki, Texture investigation in the trench depth direction of very narrow copper wires less than 100nm wide using electron backscatter diffraction, Thin Solid Films, 518(2010) 3413- 3416