

平成17年度科学研究費補助金（基盤研究（S））研究状況報告書

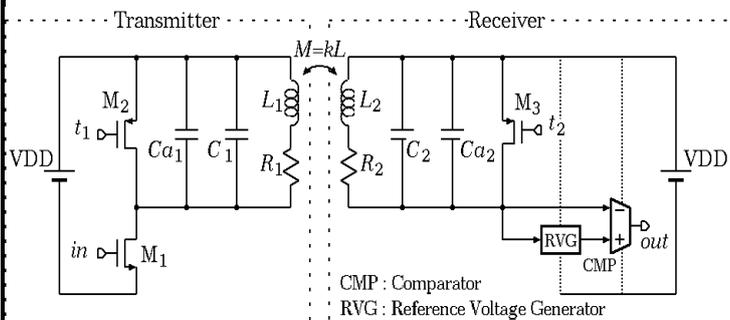
ふりがな（ローマ字）	IWATA ATSUSHI					
①研究代表者氏名	岩田 穆		②所属研究機関・部局・職	広島大学・大学院先端物質科学研究科・教授		
③研究課題名	和文	チップ間無線通信を用いた高認知度処理システムの三次元集積アーキテクチャ				
	英文	Three Dimensional Integration Architecture for Highly Sophisticated Recognition System Utilizing Wireless Interconnections				
④研究経費	平成15年度	平成16年度	平成17年度	平成18年度	平成19年度	総合計
	17年度以降は内約額 金額単位：千円	18,700	16,700	17,500	16,600	16,600
⑤研究組織（研究代表者及び研究分担者）						
氏名	所属研究機関・部局・職	現在の専門	役割分担（研究実施計画に対する分担事項）			
岩田 穆	広島大学・大学院先端物質科学研究科・教授	集積回路工学（設計）	総括、システムアーキテクチャと回路設計			
Mattausch, Hans Juergen	広島大学・ナノデバイス・システム研究センター・教授	集積回路工学（設計）	全並列アナ・デジ融合連想メモリのシステムアーキテクチャと高速化の研究			
三浦 道子	広島大学・大学院先端物質科学研究科・教授	半導体デバイス工学	超微細 SOI トランジスタ特性のモデリングと回路動作の基礎研究			
佐々木 守	広島大学・大学院先端物質科学研究科・助教授	集積回路設計工学	無線インタコネクタ技術と高周波回路の設計、試作、評価			
小出 哲士	広島大学・ナノデバイス・システム研究センター・助教授	集積回路設計工学	全並列アナ・デジ融合連想メモリの低消費電力化の研究			
⑥当初の研究目的（交付申請書に記載した研究目的を簡潔に記入してください。）						
<p>[研究目的] チップ間無線通信を導入した高認知度処理システムの三次元集積アーキテクチャ</p> <p>21世紀COE研究「テラビット情報ナノエレクトロニクス」における、システム・回路領域の研究計画である。</p> <p>[特色、独創性、意義] これまで三次元集積技術が研究開発されてきたが、チップ間貫通金属配線、高精度なチップ積層、放熱、歩留まり等の課題を解決できていない。これらを解決するために複数チップ間を広帯域の無線で通信する三次元集積アーキテクチャを提案する。三次元の接続をフレキシブルに再構成可能にして、この特徴を活用して生体処理原理による高適応ビジョンや高度な脳機能の実現を目指す。</p> <p>1. チップ間無線情報通信方式と三次元集積デバイス設計</p> <p>1.1 無線による三次元集積チップ間通信技術：ハードウェア構成</p> <p>(1) ローカル通信：多数のスパイラルアンテナをチップ両面に形成し、隣接チップ間の無線通信を実現。</p> <p>(2) グローバル通信：ダイポールアンテナをチップに形成して、非隣接チップ間の無線通信を実現。</p> <p>(3) 上記により高精度位置合せ不要なテラビット通信チップ間接続を達成。</p> <p>1.2 電磁界とデバイスを統合した設計法</p> <p>2. チップ間無線通信を活用した高認知度処理システム</p> <p>従来、生体情報処理応用集積化で接続の問題が未解決であり、本来の性能を実現できていない。</p> <p>2.1 高い適応能力のビジョナルゴリズムとシステム化</p> <p>(1) 生体情報処理原理に基づき、複数アルゴリズムによる並列画像処理により有用な情報を抽出する。</p> <p>(2) アナデジ融合連想メモリを活用して基本的な画像処理の高機能化、高性能、超低電力化を達成。</p> <p>(3) 異なる処理機能を持つチップを三次元集積して、環境適応ビジョンシステムのプロトタイプを開発。</p> <p>2.2 ロボット等における脳機能の処理アルゴリズムとシステム化</p> <p>(1) アナデジ融合連想メモリと学習による動作モデルの獲得、モデルの評価方法の研究。</p> <p>(2) 予測・戦略などの高次脳機能のアルゴリズムの基礎検討と、三次元集積アーキテクチャの研究。</p> <p>(3) 上記、高適応能力ビジョンによる環境情報から、自立して最適な行動ができるブレインのアーキテクチャ。</p> <p>[国内外の先端的研究機関の研究における位置づけ]</p> <p>本計画の目指す技術は世界トップの研究組織にもない、ユニークな特色を有する。</p> <p>米国：MARCO プロジェクト Interconnect Focus Center（Georgia 工科大）高性能金属多層配線にフォーカス。 Stanford 大、C I S（Center for Integrated Systems） CMOS-RF 回路、高性能プロセッサなど多彩に研究展開。 MIT, Intel グループ SOI デバイスと光インタコネクタによる高性能次世代コンピュータ。</p> <p>欧州：IMEC-IMPACT（Integration of Microwave Performance into Advanced CMOS Technology） CMOS-RF 集積技術。</p> <p>国内：東北大 貫通ビアによる張り合わせ実装と光インタコネクションを用いた三次元集積技術。</p>						

⑦これまでの研究経過 (研究の進捗状況について、必要に応じて図表等を用いながら、具体的に記入してください。)

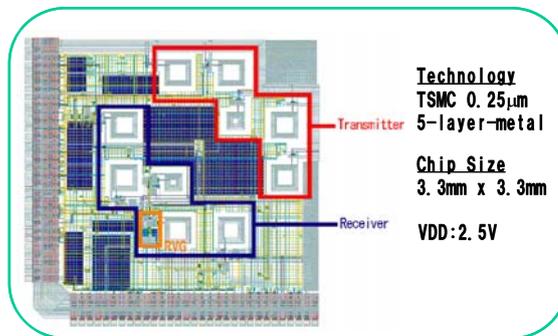
1. チップ間無線情報通信方式と三次元集積デバイス設計

1.1 スパイラル・インダクタ(L)結合によるチップ間無線インタコネクション(LWI)の基礎実験

スパイラルLと送受信回路を集積した0.25umCMOS技術によるテストチップを設計、試作し、プリント板に実装し、マミビュレータに固定して、データ転送特性を実験・評価した。Lサイズ300um, L間の距離は100umの場合、9mWの消費電力で、800Mbpsのデータレートと 10^{-10} のエラーレートを達成した。また、L間の位置ずれ、距離による伝送特性を評価して、チップ間の位置精度は10um以上許容されることがわかった。(LWI: Local Wireless Interconnection)



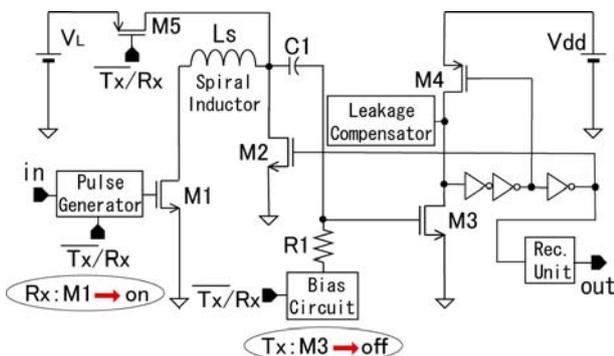
LWI送受信回路



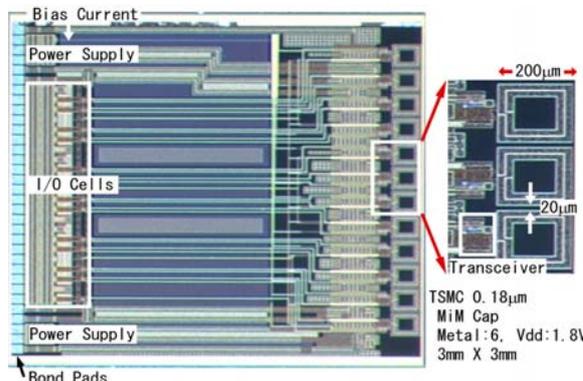
LWIテストチップ写真

1.2 インダクタ結合チップ間無線インタコネクション(LWI)の低消費電力化、

インダクタンスとキャパシタンスの共振特性を利用して、少ない駆動電流で高い受信電圧を得る方法を考案し、CMOS 0,18umCMOS で、16チャンネルの双方向の送受信回路を設計、試作した。評価の結果、**1Gps/mW**の低電力化を達成した。送受信に同期クロックを用いない**非同期動作**を実現した。これにより、**最大 1000 ピン**の接続を可能にし、チップ間を任意の場所で接続できるので、並列ローカルインタコネクトを実現できることを実証した。



送受信回路

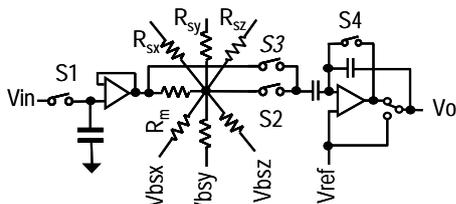


送受信チップ写真

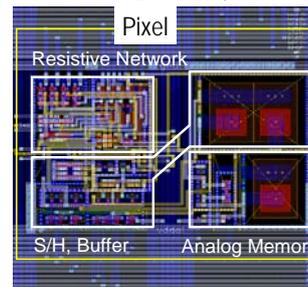
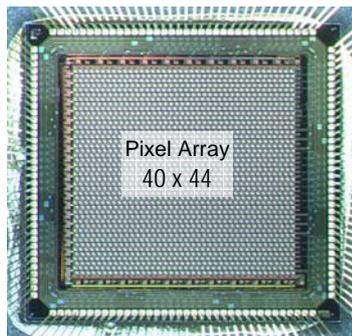
2. チップ間無線通信を活用したビジョンシステム

2.1 生体視覚系を模倣したマルチチップビジョン(MCV)

抵抗ネットワーク、アナログメモリ、時間差分を演算する回路からなるピクセルを 40x44 個搭載したビジョンチップを開発した。実現できる機能は、空間平滑化フィルタ、エッジ強調、LoG (Laplacian of Gaussian)、時間差分などである。生体を模倣した階層的処理をマルチチップで実現するための PMW 信号によるデータ転送回路を搭載している。アナログ電圧の画像情報をパルス幅情報に変換して、チップ間で転送するので、非同期パルス伝送が可能である。この機能を用いて、インダクタ結合の無線インタコネクションによるマルチチップビジョンを実現した。



ピクセル回路

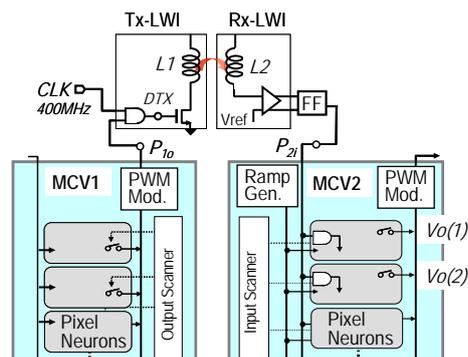


0.35mm CMOS, 4.9mm x 4.9mm
マルチビジョンチップ

2.2 チップ間無線インタコネクションを用いたマルチチップビジョンの実験

MCVチップとLWIテストチップを用いて表図に示す構成を作成して、階層的な空間フィルタが実現できることを確認して、LWIを用いてアナログ処理も含む三次元集積システムの実現性を示した。

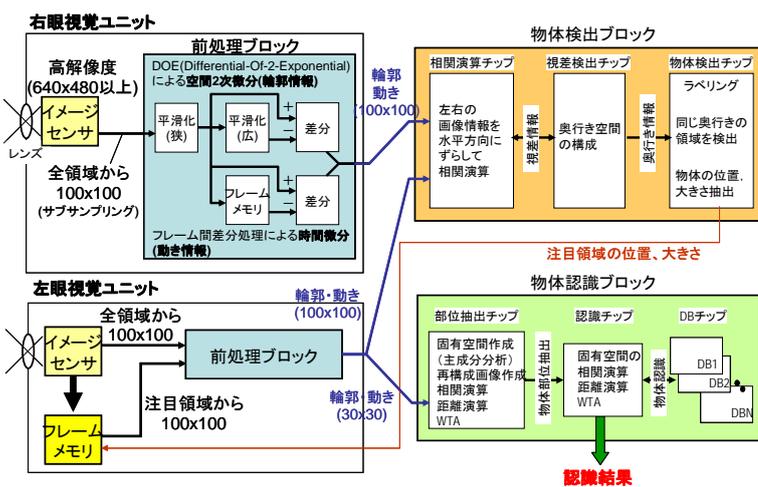
電磁波のシリコンチップ内伝搬特性の実験により、1~30GHzの帯域でパルス通信ができることが確認されているので、これをチップ間インタコネクションに使うと複数のチップにわたる長距離の接続ができる。これをGWI: Global wireless Interconnectionと呼んでおり、これをLWIによる隣接チップ間の並列転送と組み合わせることにより、三次元集積の鍵となるチップ間接続の課題を解決できると考えている。



2.3 統計処理データベースを用いたオブジェクト認識アルゴリズムとシステムアーキテクチャ

主成分分析法にもとづく固有ベクトル(固有顔)を特徴量として用いて、情報を圧縮するとともに柔軟性の高い認識処理に適することを確認した。統計処理による参照データベースの作成、マッチング演算回路構成を研究し、顔のみでなくマルチオブジェクトに対応でき、30フレーム/秒より高速な認識が実現できることをFPGAを用いて確認した。

三次元集積技術を適用して、マルチオブジェクト認識システムのプロトタイプを実現する予定であり、そのチップアーキテクチャを右図に示す。この各ブロックをチップ化して、無線インタコネクトで接続する。



3. 学習機能を有する連想メモリと画像処理アーキテクチャ

連想メモリでは高速な距離演算が必要であるが、ここにビット比較はデジタルで、ワード比較はアナログで並列動作で行い回路を考案して、高速化を達成した。動作点を自動的に調整可能な距離演算増幅回路を用いて、並列処理で最小ハミング、マンハッタン距離を探索する。従来の方法に比べて、処理能力/消費電力が大幅に改善されている。

開発したチップの諸元とチップ写真を右図に示す。連想メモリは認識装置の参照データメモリや画像のセグメンテーションに用いるためにシステムアーキテクチャを検討している。

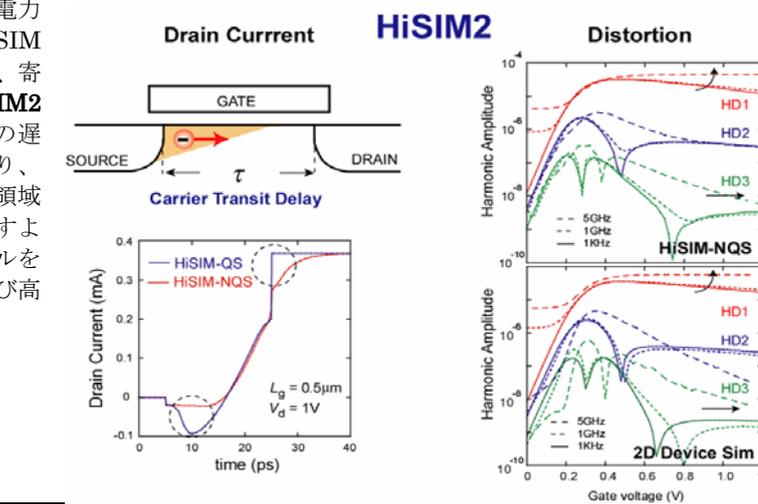
連想メモリアーキテクチャ

- 最小距離検索時間: < 240ns
- 消費電力: < 260mW at 10MHz (34.7mW/mm²)
- 処理性能: 170GOPS (20GOPS/mm²)
- 実際の画像圧縮などへの適用時の検索時間: < 150ns

従来技術との比較

4. MOSトランジスタモデルの高周波化

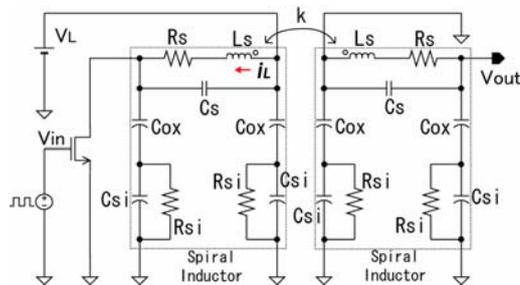
無線インタコネクトのためにRF回路の高速・低電力化が必要である。そのために広大オリジナルのHiSIMモデルの高周波化を図り、1-10GHz帯で電圧特性、寄生容量、および雑音を高い精度で表現できるHiSIM2モデルを開発した。このモデルはキャリア動作の遅延時間を考慮したNon-Quasiに基づく定式化により、高周波動作を扱うものである。RF回路では高周波領域で高調波歪みを考慮する必要があるが、右図に示すように高い精度で実測値と一致している。このモデルを用いて、無線インタコネクトのためのRF回路および高速動作回路の性能と設計品質を上げる。



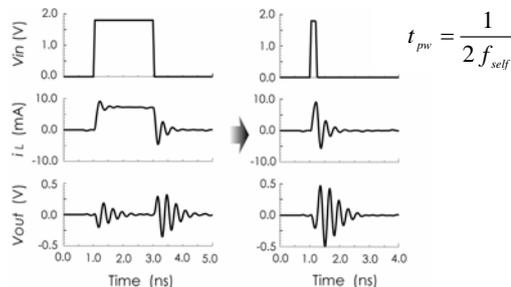
⑧特記事項 (これまでの研究において得られた、獨創性・新規性を格段に発展させる結果あるいは可能性、新たな知見、学問的・学術的なインパクト等特記すべき事項があれば記入してください。)

1. インダクタ結合によるチップ間相互結合の低消費電力設計 (VLSI Circuit Symo 2005で発表、特許出願手続中)

スパイラル・インダクタの自己共振および相互共振周波数を、データ転送レートと整合させて、小さい駆動電流(低電力)で大きな出力電圧を得る回路を考案した。



インダクタ結合等価回路と MOSFET による励起



励起パルスと出力波形

インダクタ結合のベンチマークを右表に示す。信器(TX)のインダクタ駆動電力は 0.67mW であり、これまでの報告に比較して、送消費電力を大幅に低減できた。送受信回路は非常に簡単な構成であり、切り替え型の双方向結合も実現でき、接続ネットワークの再構成にも使える。

この技術は三次元集積において隣接チップ間の任意の位置で金属配線なしに情報を転送する際に、ビットレートの向上より、消費電力の低下が重要であり、通常の配線と同じように簡単なバッファ回路のみで接続できることに特徴がある。

インダクタ結合インタコネクションのベンチマーク

		This work	[1], [2]	Scaling Scenario in [2]
Technology		0.18mm	0.35mm	90nm
Communication distance		100mm	240mm	30mm
Inductor Diameter		200mm	300mm	300mm
Data Rate		1.0Gbps	1.25Gbps	1.25Gbps
Power	Tx	Inductor	0.67mW	43mW
		PG	1.5mW	
	Rx	Sensing	0.28mW	3mW
		RU	2.2mW	0.1mW

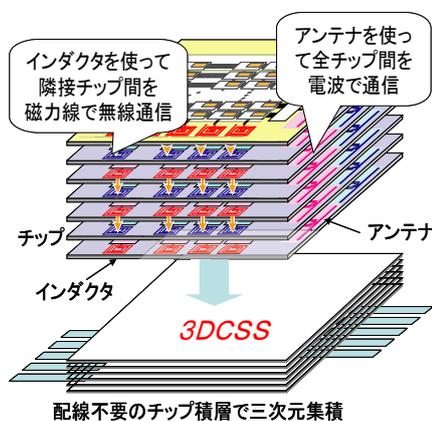
[1] D. Mizoguchi et al. "A 1.2Gb/s/pin ...", ISSCC Digest of Technical Papers, pp142-143, 2004.
 [2] N. Miura et al. "Analysis and ...", Dig. of Symp. on VLSI Circuits, pp.246-249, June, 2004.

2. チップ間無線通信を活用した三次元集積構造の考案

(ISSCC2005 で発表、特許出願済み)

右図に示すようなインダクタ結合(LWI)と電磁波結合(GWI)を組み合わせた三次元集積構造(3DCSS; 3D custom Stack System)を提案した。LWI では 2 次元の画像情報のようにチップ上に分布するデータを隣接チップ間で転送することができ、GWI では全チップにわたって同期クロックや共有データのようなグローバル情報を転送することができる。クロックについては電気的手法によるリミットである 5GHz を破れる可能性が高いと考えている。

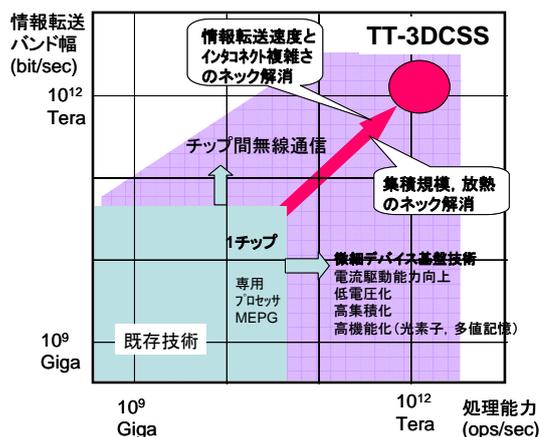
電源供給系の配線以外はボンディングワイヤや貫通孔なしでフレキシブルかつ信頼性の高い三次元集積を実現できる。シリコン以外の材料や異なる機能を持ったチップ集積することも容易である。



3. 3DCSSによるテラビット情報処理システム

集積回路の演算処理量が高めるのみでは性能は向上できず、演算器やメモリ間の情報転送能力(バンド幅)も兼ね備える必要がある。3DCSS の特徴は、右図に示すように、2 種類の無線通信を用いて、チップ間のテラビット情報転送能力を実現できることである。

3DCSS により、超高性能のコンピュータや画像処理装置の性能向上、信頼性向上のみでなく、生体の神経系を模擬したシステムのように、性能や機能が情報転送のネックとなっていた未踏領域を実現するための新パラダイムを提供するものと考えている。



⑨研究成果の発表状況 (この研究費による成果の発表に限り、学術誌等に発表した論文(掲載が確定しているものを含む。)の全著者名、論文名、学協会誌名、巻(号)、最初と最後のページ、発表年(西暦)、及び国際会議、学会等における発表状況について記入してください。なお、代表的な論文3件に○を、また研究代表者に下線を付してください。)

- ① A. Iwata, M. Sasaki, T. Kikkawa, et. al., A 3D-Integration Scheme Utilizing Wireless Interconnections for Implementing Hyper Brains, Int. Solid-State Circuit Conference (ISSCC) Dig. of Tech. Papers, pp.262-263, 2005.
2. M.Nagata, M.Fukazawa, N.Hamanishi, M.Shiochi, T.Iida, J.Watanabe, Y.Murasaka, A.Iwata, Substrate Integrity Beyond 1GHz, Int. Solid-State Circuit Conference (ISSCC) Dig. of Tech. Papers, pp.266-267 2005.
- ③ M. Sasaki and A. Iwata, A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip-Interconnection with Asynchronous Communication Scheme, Symposium on VLSI Circuits, 22-3, 2005.
4. T. Yoshida, M. Akagi, T. Mashimo, A. Iwata, M. Yoshida and K. Uematsu, A Design of Wireless Neural-Sensing LSI, IEICE Trans. Electronics, vol.E87-C, pp.996-1002. June 2004.
5. T. Yoshimura and A. Iwata, An analysis of interference in synchronous systems., IEICE Electronics, Express, vol.1, No.15, pp.465-471, 2004.
6. T. Morie, T. Nakano, J. Umezawa, and A. Iwata, Gabor-Type Filtering Using Transient States of Cellular Neural Networks, Intelligent Automation and Soft Computing, in press, 2004.
7. K. Korekado, T. Morie, O. Nomura, H. Ando, T. Nakano, M. Matsugu, and A. Iwata, A VLSI Convolutional Neural Network for Image Recognition Using Merged/Mixed Analog-Digital Architecture Int. J. Fuzzy and Intelligent Systems, in press, 2004.
8. T. Morie, J. Umezawa, and A. Iwata, Gabor-Type Filtering Using Transient States of Cellular Neural Networks, Intelligent Automation and Soft Computing, Vol. 10, No. 2, pp. 95-104, 2004.
9. M. Shiozaki, T. Mukai, M. Ono, M. Sasaki and A. Iwata, A 2Gbps and 7-multiplexing CDMA Serial Receiver Chip for Highly Flexible Robot Control System. 2004 Symposium on VLSI Circuits, Digest of Technical Papers, pp.194-197, Honolulu, Hawaii, June 17-19, 2004.
10. T. Morie, J. Umezawa, and A. Iwata, A Pixel-Parallel Image Processor for Gabor Filtering Based on Merged Analog-Digital Architecture, 2004 Symposium on VLSI Circuits, Digest of Technical papers, pp. 212-213, #14-1, Honolulu, Hawaii, June 18, 2004.
11. K. Sasaki, T. Morie, and A. Iwata, A Spiking Neural Network with Negative Thresholding and Its Application to Associative Memory, 2004 IEEE Int. Midwest Symposium on Circuits and Systems (MWSCAS2004), pp. III-89 - III-92, Hiroshima, July 25-28, 2004.
12. T. Yoshida, T. Mashimo, M. Akagi, A. Iwata, M. Yoshida and K. Uematsu, A Low Noise Amplifier using Chopper Stabilization for a Neural Sensor LSI, Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials, Tokyo, pp.539-541, 2004.
13. H. Noda, K. Inoue, M. Kuroiwa, F. Igaue, K. Yamamoto, H.J. Mattausch, T. Koide, A. Amo, A. Hachisuka, S. Soeda, F. Morishita, K. Dosaka, K. Arimoto, and T. Yoshihara, "A Cost-Efficient High-Performance Dynamic TCAM with Pipelined Hierarchical Searching and Shift Redundancy Architecture", IEEE Journal of Solid-State Circuits, 40, 245-253, 2005
14. T. Sasaki, T. Inoue, N. Omori, T. Hironaka, H.J. Mattausch, and T. Koide, "Chip Size and Performance Evaluations of Shared Cache for On-chip Multiprocessors", Systems & Computers in Japan, in press, (2005)
15. H. Noda, K. Inoue, H.J. Mattausch, T. Koide, K. Dosaka, K. Arimoto, K. Fujishima, K. Anami, and T. Yoshihara, "Embedded Low-Power Dynamic TCAM Architecture with Transparently Scheduled Refresh", IEICE Trans. on Electronics, vol. E88-C, in press, 2005
16. K. Inoue, H. Noda, K. Arimoto, H.J. Mattausch, and T. Koide, "A CAM-based signature-matching co-processor with application-driven power-reduction features", IEICE Trans. on Electronics, vol. E88-C, in press (2005)
17. O. Kiriya, T. Morimoto, H. Adachi, Y. Harada, T. Koide and H.J. Mattausch, "Low-Power Design for Real-Time Image Segmentation LSI and Compact Digital CMOS Implementation", Proceedings of the 2004 IEEE Asia-Pacific Conference on ASICs (AP-ASIC'2004), 432-433, 2004.
- ⑬ Y. Shirakawa, H.J. Mattausch, and T. Koide, "Reference-Pattern Learning and Optimization from an Input-Pattern Stream for Associative-Memory-Based Pattern-Recognition System", Proceedings of the 47th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'2004) Vol. I, 561-564, 2004.

19. K. Kamimura, K. M. Rahman, H.J. Mattausch, and T. Koide, "Optimized Multi-Stage Minimum-Distance-Search Circuit with Feedback Stabilization for Fully-Parallel Associative Memories", Proceedings of the 47th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'2004) Vol. I, pp.161-164, 2004.
20. K. Takemura, T. Koide, H.J. Mattausch, and T. Tsuji, "Analog-Circuit-Component Optimization with Genetic Algorithm", Proceedings of the 47th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS'2004) Vol. I, pp.489-492, 2004.
21. T. Morimoto, O. Kiriyama, H. Adachi, T. Koide and H.J. Mattausch, "Digital Low-Power Real-Time Video Segmentation by Region Growing", Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials (SSDM'2004), pp.138-139, 2004.
22. Y. Shirakawa, M. Mizokami, T. Koide and H.J. Mattausch, "Automatic Pattern-Learning Architecture Based on Associative Memory and Short/Long Term Storage Concept", Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials (SSDM'2004), pp.362-363, 2004.
23. T. Koide, Y. Yano and H.J. Mattausch, "Bank-Type Associative Memory for High-Speed Nearest Manhattan Distance Search in Large Reference-Pattern Space", Extended Abstracts of the 2004 International Conference on Solid State Devices and Materials (SSDM'2004), pp.360-361, 2004.
24. T. Fuji, K. Kobayashi, T. Koide, H.J. Mattausch and T. Hironaka, "Highly Efficient Switch Architecture Based on Banked Memory with Multiple Ports", 12th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI'2004), pp.491-498, 2004.
25. H. Adachi, T. Morimoto, O. Kiriyama, T. Koide and H.J. Mattausch, "Real-Time Segmentation of Large-Scale Images by Pipeline Processing with Small-Size Cell Network", 12th Workshop on Synthesis And System Integration of Mixed Information Technologies (SASIMI'2004), pp.95-102, 2004.
26. T. Morimoto, O. Kiriyama, H. Adachi, Z. Zhu, T. Koide, and H.J. Mattausch, "A Low-Power Video Segmentation LSI with Boundary-Active-Only Architecture", Proceedings of the Asia and South Pacific Design Automation Conference (ASP-DAC'2005), D13-D14, 2005.
27. M. Miura-Mattausch, H. J. Mattausch, T. Iizuka, M. Taguchi, S. Kumashiro, and S. Miyamoto, "MOSFET Model HiSIM Based on Surface-Potential Description for Enabling Accurate RF-CMOS Design, Journal of Semiconductor Technology and Science, Vol. 4, No. 3, pp.133-140, 2004.
28. N. Sadachika, Y. Uetsuji, D. Kitamaru, H. J. Mattausch, M. MIURA-Mattausch, L. Weiss, U. Feldmann, and S. Baba, "Fully-Depleted SOI-MOSFET Modeling for Circuit Simulation and its Application to 1/f Noise Analysis" Int. Conf. Simulation Semiconductor Processes & Devices (Munich), pp.255-258, 2004.
29. D. Navarro, N. Nakayama, K. Machida, Y. Takeda, S. Chiba, H. Ueno, H. J. Mattausch, M. MIURA-Mattausch, T. Ohguro, T. Iizuka, M. Taguchi, and S. Miyamoto, "Modeling for Carrier Transport Dynamics at GHz-Frequencies for RF Circuit-Simulation," Int. Conf. Simulation Semiconductor Processes & Devices (Munich), pp.259-262, 2004.
30. K. Hara, O. Matsushima, G. Suzuki, D. Navarro, K. Konno, Y. Isobe, and M. Miura-Mattausch, "Shot Noise Measurement in p-i-n Diode and Its Analysis," The 2004 International Conference on Solid State Devices and Materials, Tokyo, pp.438-439, 2004.
31. M. Miura-Mattausch, D. Navarro, Y. Takeda, H. J. Mattausch, T. Ohguro, T. Iizuka, M. Taguchi, S. Miyamoto, "MOSFET Modeling for RF-Circuit Era," The 11th Int. Conference on Mixed Design of Integrated Circuits and Systems 2004, pp.62-66, 2004.
32. M. Miura-Mattausch, H. J. Mattausch, T. Ohguro, T. Iizuka, M. Taguchi, S. Kumashiro, and S. Miyamoto, "MOSFET Modeling for RF-Circuit Simulation," The 2004 Int. Conference on Solid-State and Integrated-Circuit Technology (Beijing), pp.1118-1122, 2004.