

平成17年度科学研究費補助金（基盤研究（S））研究状況報告書

ふりがな（ローマ字）		KOYANAGI MITSUMASA					
①研究代表者氏名		小柳 光正		②所属研究機関・部局・職 東北大学・大学院工学研究科・教授			
③研究課題名	和文	三次元積層型プロセッサチップを用いた超高性能並列処理システム					
	英文	High Performance Parallel Processor System Using Three-Dimensional Processor Chip					
④研究経費		平成15年度	平成16年度	平成17年度	平成18年度	平成19年度	総合計
17年度以降は内約額 金額単位：千円		29,000	23,800	17,200	14,200	3,900	88,100
⑤研究組織（研究代表者及び研究分担者）							
氏名	所属研究機関・部局・職	現在の専門	役割分担（研究実施計画に対する分担事項）				
小柳 光正	東北大学・大学院工学研究科・教授	電子デバイス・集積回路	超高性能並列処理システムの設計・製作・評価及び研究の総括				
羽根 一博	東北大学・大学院工学研究科・教授	マイクロ光デバイス	超高性能並列処理システム用光インターコネクタ技術の確立				
寒川 誠二	東北大学・大学院工学研究科・教授	プラズマプロセス	三次元積層型集積回路プロセス技術の確立				
栗野 浩之	東北大学・大学院工学研究科・助教授	電子デバイス・集積回路	三次元積層型プロセッサチップの設計および試作				
沈 正七	東北大学・大学院工学研究科・助手	微細プロセス技術	三次元積層型集積回路配線技術の確立				
宮川 宣明	（株）本田技術研究所・チーフリサーチャー（研究職）	回路設計・CAD	三次元積層型プロセッサの設計および評価				
⑥当初の研究目的（交付申請書に記載した研究目的を簡潔に記入してください。）							
<p>高度に発展したマルチメディア社会では情報処理や情報伝達を中心手段が画像となってくることから、大量の画像データを高速に伝達し、処理するために、通信速度と信号処理速度のより一層の改善が求められる。研究代表者らはこのような高度マルチメディア社会における情報処理技術の核となるような新しい三次元積層型プロセッサチップと、それを用いた共有メモリ結合型の超高性能並列処理システムを実現することを目指して研究を行っている。本研究では、このような超高性能並列処理システム実現の鍵となる新しい共有メモリシステムを提案する。この共有メモリシステムでは、高速のチップ間データ転送が可能である光インターコネクションを用いて複数の共有メモリチップを接続することにより、メモリチップ間で擬似的にメモリの共有動作を行なわせる。この場合、光インターコネクションはブロードキャストバスとして働く。光インターコネクションを使ったブロードキャストバスは、通常の共有バスと違って複数のメモリチップに同時にデータを送ることができる。光インターコネクションに接続されるメモリチップの数がポート数になるので、メモリチップ数を増やすことで容易に多くのポートをもった共有メモリシステムを実現できる。この共有メモリシステムでは、個々の共有メモリチップもマルチポートとなっている。このようなマルチポート共有メモリチップは三次元集積化技術を用いてメモリチップを多層に積層し、各層を一つのポートに割り当てることで容易に実現できる。また、三次元積層型の共有メモリとプロセッサチップを積層化すると入力がマルチポート共有メモリの新しいプロセッサ・エレメントが実現でき、手軽に並列処理システムを構成できるようになる。本研究では、このような三次元プロセッサチップを実際に設計、試作するとともに、それらを用いた並列処理システムモジュールも試作して、基本的なシステムの性能まで評価する。</p>							

⑦これまでの研究経過 (研究の進捗状況について、必要に応じて図表等を用いながら、具体的に記入してください。)

本研究では、三次元積層型の共有メモリとプロセッサチップを積層化することによって、入力がマルチポートの共有メモリから構成される新しいプロセッサ・エレメントを提案している。また、これらのプロセッサ・エレメントを、高速のチップ間データ転送が可能である光インターコネクションを用いて接続することにより、プロセッサ・エレメント間で擬似的にメモリの共有動作を行なわせる新しい共有メモリシステムも提案している。このようなノード共有メモリとネットワーク共有メモリの基本動作を確認するために、テストチップおよびテストモジュールの試作を行なう必要があるが、平成15年度、16年度はこのようなテストチップおよびテストモジュールの試作に必要なチップ製作技術およびマルチチップ製作技術について検討した。具体的には、バルク基板およびSOI基板に作製したCMOS・LSIチップをCMP (Chemical Mechanical Polishing) によって薄層化した後、それを多層に積層して三次元LSIとする新しい三次元積層化技術を確立した。バルク基板による三次元積層化技術に関しては、図1に示すように、シリコン基板に設けた直径1 μm 、深さ50 μm の深溝に隙間無くタンゲステンを体積して垂直方向配線を形成する技術、シリコンウェーハを30 μm 以下にまで薄くして張り合わせる事が可能となった。また、SOI基板による三次元積層化技術に関しては、この技術を用いて作製した三次元積層型のSOIデバイスで良好な特性が得られることを確認した。試作した2層積層型SOI・MOSトランジスタのSEM写真を図2に示す。図からわかるように、下層(2層目)に形成されているMOSトランジスタも表面から透けて見えている。

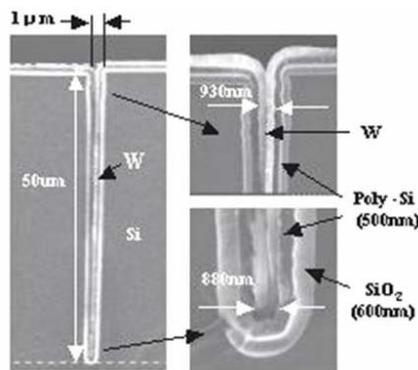
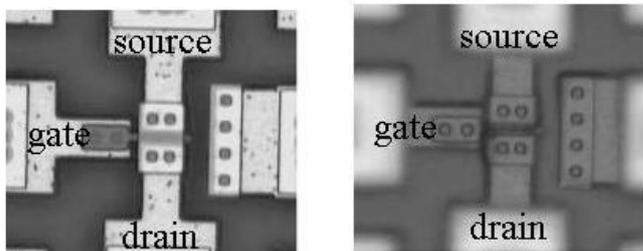


図1 シリコン基板に形成したW垂直方向配線のSEM断面観察写真

光導波路と三次元積層チップを接続する光インターコネクション技術と、それを用いたマルチチップモジュール製作技術も確立した。この技術を用いて共有メモリを構成するSRAMチップをポリマー光導波路で接続し、メモリチップ間のデータ転送にも成功した。試作した光インターコネクションを有するメモリテストモジュールの光導波路基板の光学顕微鏡写真を図3に示す。この基板には光導波路とマイクロミラーアレイ、メモリチップをフリップチップ・ボンディングするためのCuバンプ等が形成されている。図4はポリマー光導波路に光ファイバーを介してHe-Neレーザー光を入力させた時の光学顕微鏡写真である。図から、入射されたレーザー光がマイクロミラーによって垂直に曲げられ、表面方向に出射されている様子がわかる。このような光導波路基板の上に、図5に示すように、発光・受光素子を搭載したメモリチップをフリップチップ・ボンディングする。図6は、このようにして製作したメモリテストモジュールの動作波形である。図からわかるように、光導波路を介してメモリに書き込まれた光信号データが正しく読み出されている。三次元集積回路用回路設計ツールに関しては、シミュレーテッド・アニール法を用いた三次元集積回路用配置・配線ツールを開発し、三次元集積回路の配線長分布の評価が可能となっている。



(a) 1層目 (b) 2層目

図2 試作した2層積層型SOI・MOSトランジスタのSEM写真

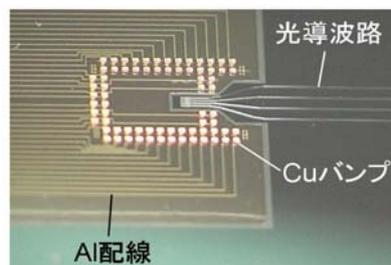
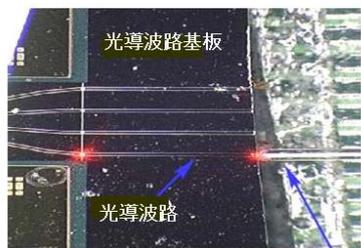


図3 光導波路基板の光学顕微鏡写真



光ファイバー

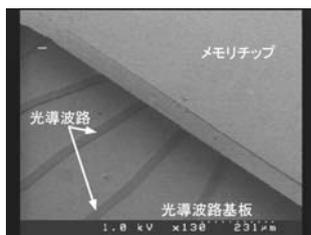


図5 試作したメモリテストモジュールのSEM写真

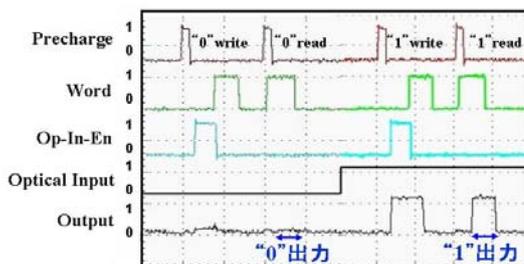


図6 メモリテストモジュールの動作波形

図4 マイクロミラーにより反射された導波光の光学顕微鏡写真

⑧特記事項 (これまでの研究において得られた、独創性・新規性を格段に発展させる結果あるいは可能性、新たな知見、学問的・学術的なインパクト等特記すべき事項があれば記入してください。)

三次元積層型プロセッサチップ、三次元積層型共有メモリチップの試作、光導波路を介したメモリチップの光信号データ転送に世界で初めて成功し、ポスト集積回路とも言える新しい集積システム・オン・チップ実現への道を開いた。これらの成果を基に、この技術を実用化するためのベンチャー企業も設立した。これらの成果やベンチャー企業設立の経緯は、米国の専門誌 **EE Times** に2度にわたって取り上げられ大きな反響を呼んだ。

⑨研究成果の発表状況 (この研究費による成果の発表に限り、学術誌等に発表した論文(掲載が確定しているものを含む。)の全著者名、論文名、学協会誌名、巻(号)、最初と最後のページ、発表年(西暦)、及び国際会議、学会等における発表状況について記入してください。なお、代表的な論文3件に○を、また研究代表者に下線を付してください。)

- ① T.Nakamura, Y.Yamada, T.Ono, J.C.Shim, H.Kurino and M.Koyanagi, Optimization of Vertical Interconnection in 3D LSI Using Wire-Length Distribution, Conference Proceedings AMC XIX, 35-43 (2004).
- ② Hyuckjae Oh Hoon Choi, Takeshi Sakaguchi, JeoungChill Shim, Hiroyuki Kurino and Mitsumasa Koyanagi, Novel Silicon On Insulator Metal Oxide Semiconductor Field Effect Transistors with Buried Back Gate, Japanese Journal of Applied Physics, 43(4B), 2140-2144 (2004).
- 3) Jun Deguchi, Taiichiro Watanabe, Tomonori Nakamura, Yoshihiro Nakagawa, Takafumi Fukushima, JeoungChill Shim, Hiroyuki Kurino and Mitsumasa Koyanagi, Three-Dimensionally Stacked Analog Retinal Prosthesis Chips, Japanese Journal of Applied Physics, 43 (4B), 1685-1689 (2004).
- 4) Hoon Choi, Hyuckjae Oh, Takeshi Sakaguchi, Mungi Park, Jicheol Bea, Takafumi Fukushima, Hiroyuki Kurino and Mitsumasa Koyanagi, Novel SOI MOSFETs with Buried Back Gate Control, Third International Workshop on NEW GROUP IV (Si-Ge-C) SEMICONDUCTORS: CONTROL OF PROPERTIES AND APPLICATIONS TO ULTRAHIGH SPEED AND OPTO-ELECTRONIC DEVICES, 71-72 (2004).
- 5) Takeshi Sakaguchi, Hyuckjae Oh, Hoon Choi, Jicheol Bea, Jeoung-Chill Shim, Takafumi Fukushima, Hiroyuki Kurino and Mitsumasa Koyanagi, Nickel Silicide Formation of SiGe Selectively Epitaxial Growth Layer on Silicon-on-Insulator, Third International Workshop on NEW GROUP IV (Si-Ge-C) SEMICONDUCTORS : CONTROL OF PROPERTIES AND APPLICATIONS TO ULTRAHIGH SPEED AND OPTO-ELECTRONIC DEVICES, 69-70 (2004).
- 6) J.C.Bea, K.W.Koh, H.J.Oh, H.Choi, M.G.Lee, T.Tanabe, T.Hirosue, K.T.Park, H.Kurino and M.Koyanagi, Ultra Shallow Junction with Elevated SiGe Source/Drain Formed by Laser Induced Atomic Layer Doping, Third International Workshop on NEW GROUP IV (Si-Ge-C) SEMICONDUCTORS : CONTROL OF PROPERTIES AND APPLICATIONS TO ULTRAHIGH SPEED AND OPTO-ELECTRONIC DEVICES, 67-68 (2004).
- 7) Hiroyuki Kurino and Mitsumasa Koyanagi, Technology for Three Dimensional Integrated System-on-a-Chip, Proceedings of 7th International Conference on Solid-State and Integrated Circuits Technology 2004, 599-602 (2004).
- 8) 小柳光正, 栗野浩之, 三次元集積化技術と視覚情報処理システム, 電子情報通信学会 第17回回路とシステム軽井沢ワークショップ, 339-344 (2004).
- 9) 菊池宏和, 山田裕介, 福島誉史, 栗野浩之, 小柳光正, 三次元集積回路のための層間絶縁膜を貫通する高アスペクトホール形成, エレクトロニクスソサイエティ大会講演論文集, 68 (2004).
- 10) 二藤部隆太郎, 栗原宏文, 栗野浩之, 小柳光正, 光導波路を有するマルチチップモジュールのためのCuバンプ形成, エレクトロニクスソサイエティ大会講演論文集, 153 (2004).
- ⑪ Hiroyuki Kurino and Mitsumasa Koyanagi, Wafer Level Three Dimensional LSI Technology, Proceedings Twenty First International VLSI Multilevel, Interconnection Conference (VMIC), 98-104 (2004).
- 12) H.Oh, T.Sakaguchi, J.Shim, T.Fukushima, H.Kurino and M.Koyanagi, ULTRA THIN SOI-PMOSFET WITH ELEVATED S/D AND BURIED BACK GATE, SEMICONDUCTOR TECHNOLOGY CONFERENCE (ISTC2004), 51-56 (2004)る
- 13) H.Kurino, R.Nitobe, H.Kuribara, Y.Yamada, T.Fukushima, J.Shim and M.Koyanagi, BUMP FORMATION TECHNIQUE FOR MULTI-CHIP MODULE WITH OPTICAL INTERCONNECTION, SEMICONDUCTOR TECHNOLOGY CONFERENCE (ISTC2004), 442-444 (2004).
- 14) H.Kurino, T.Fukushima, H.Kikuchi, H.Kijima, Y.Yamada, J.Shim and M.Koyanagi, DEEP SI HOLE ETCHING TECHNIQUE FOR SUPER CHIP INTEGRATION, SEMICONDUCTOR TECHNOLOGY CONFERENCE (ISTC2004), 364-366 (2004).
- 15) 栗野浩之, 坂口武史, 呉赫幸, 沈正七, 小柳光正, サブ0.1um SOI-MOSFETのためのSiGe Elevated Source/DrainとNi Silicide, 応用物理学会分科会 シリコンテクノロジー, 超高速 SiGe デバイス材料技術の最新動向 特集号, (No.62), 56-59 (2004).

- 16) 栗野浩之, 小柳光正, Niシリサイドの多段階アニール技術, 応用物理学会分科会シリコンテクノロジー, (No.60), 22-24 (2004).
- 17) Ki-Tae PARK, Tomokatsu MIZUKUSA, Hyo-Sig WON, Kyu-Myung CHOI, Jeong-Taek KONG, Hiroyuki KURINO and Mitsumasa KOYANAGI, A Power-Down Circuit Scheme Using Data-Preserving Complementary Pass Transistor Flip-Flop for Low-Power High-Performance Multi-Threshold CMOS LSI, IEICE TRANSACTIONS on Electronics Special Section on Low-Power System LSI, IP and Related Technologies, E87-C(4), 645-648 (2004).
- 18) Ki-Tae PARK, Tomokatsu MIZUKUSA, Hyo-Sig WON, Hiroyuki KURINO and Mitsumasa KOYANAGI, A Low-Power Edge-Triggered and Logic-Embedded Flip-Flop Using Complementary Pass Transistor Circuit, IEICE TRANSACTIONS on electronics Special Section on Low-Power System LSI, IP and Related Technologies, E87-C(4), 640-644 (2004).
- 19) Jun Zhang, JeoungChill Shim, Hiroyuki Kurino and Mitsumasa Koyanagi, Design and Evaluation of a High Speed Routing Lookup Architecture, IEICE Transactions on Communications, E87-B(3), 406-412 (2004).
- 20) Z.Liu, JeoungChill Shim, H.Kurino and M.Koyanagi, Design of a Novel Real-Shared Memory Module for High Performance Parallel Processor System with Shared Memory, The 18th International Conference on Advanced Information Networking and Applications (AINA2004), 241-244 (2004).
- 21) JeoungChill Shim, Hyuckjae Oh, Hoon Choi, Takeshi Sakaguchi, Hiroyuki Kurino and Mitsumasa Koyanagi, SiGe elevated source/drain structure and nickel silicide contact layer for sub 0.1 μ m MOSFET fabrication, Applied Surface Science, 224, 260-264 (2004).
- 22) Z.Liu, H.Kurino and M.Koyanagi, Design of Parallel Processor Chip with High-Speed Data-Transfer Function, 1st International Symposium on Mechanical Science Based on Nanotechnology, 61-68 (2004).
- 23) T.Nakamura, Y.Yamada, T.Ono, H.Kurino and M.Koyanagi, Optimization of Vertical Interconnection in 3D LSI Using Wire-Length Distribution, Advanced Metallization Conference 2003 (AMC2003), 58-59 (2003).
- 24) 小柳光正, 栗野浩之, ビームリードボンディングによるシリコンチップ上への面発光レーザの搭載, IEICE 電子情報通信学会 2003年ソサイエティ大会講演論文集, (2003).
- 25) Jun Deguchi, Taiichiro Watanabe, Tomonori Nakamura, Yoshihiro Nakagawa, Shim Jeoung-Chill, Hiroyuki Kurino, and Mitsumasa Koyanagi, Three-Dimensionally Stacked Analog Retinal Prosthesis Chip, Extended Abstracts of the 2003 International Conference on Solid State Devices and Materials, 402-403 (2003).
- 26) Jun Zhang, JeoungChill Shim, Hiroyuki Kurino, and Mitsumasa Koyanagi, A New Pipelined Architecture for High Speed IP Routing Lookup, FIT 情報科学技術フォーラム2003, 367-368 (2003).
- 27) Hyuchjae Oh, Hoon Choi, Takeshi Sakaguchi, JeoungChill Shim, Hiroyuki Kurino, and Mitsumasa Koyanagi, Novel SOI MOSFETs with Buried Back-Gate, Extended Abstracts of the 2003 International Conference on Solid State Devices and Materials, 274-275 (2003).
- 28) 栗野浩之, 小柳光正, FD-SOIMOSFETのためのソース/ドレイン構造, 応用物理学会分科会シリコンテクノロジー (No.51), 22-25 (2003).
- 29) JeoungChill Shim, HyuckJae Oh, Hoon Choi, Takeshi Sakaguchi, Hiroyuki Kurino and Mitsumasa Koyanagi, SiGe Elevated Source/Drain Structure and Nickel Silicide Contact Layer for sub 0.1 μ m MOS-FET Fabrication, First International SiGe Technology and Device Meeting (ISTDM2003), 23-24(2003).
- 30) Y. Kanamori, Y. Aoki, M. Sasaki, H. Hosoya, A. Wada, K. Hane, Fiber-optical switch using cam-micromotor driven by scratch drive Actuators, Journal of Micromechanics and Microengineering, 15(1), 118-123 (2005).
- 31) Minoru Sasaki, Danick Briand, Wilfried Noell, Nicolaas F. de Rooij, and Kazuhiro Hane, Three-Dimensional SOI-MEMS Constructed by Buckled Bridges and Vertical Comb Drive Actuator, IEEE Journal of Selected Topics in Quantum Electronics, 10(3) 455-461 (2004).

- 32) Minoru SASAKI, Fuki NAKAI, Xiaoyu MI, and Kazuhiro Hane, Resonant Cavity Thin Film Photo diode for Compact Displacement Sensor, Japanese Journal of Applied Physics, 43(4B), 2381-2386 (2004).
- 33) Vijay Kumar SINGH, Minoru SASAKI, Kazuhiro HANE and Masayoshi ESASHI, Flow Condition in Resist Spray and Patterning Performance for Three-Dimensional Photolithography over Deep Structures, Japanese Journal of Applied Physics 43(4B), 2387-2391 (2004).
- 34) Hitoshi Sai, Hiroo Yugami, Yoshiaki Kanamori, Kazuhiro Hane, Solar selective absorbers based on two-dimensional W surface gratings with submicron periods of high-temperature photothermal conversion, Solar Energy Materials & Solar Cells 79, 35-49 (2003).
- 35) Yoshiaki KANAMORI, Ken-ichi KOBAYASHI, Hiroo YUGAMI and Kazuhiro HANE, Subwavelength Antireflection Gratings for GaSb in Visible and Near-Infrared Wavelength, Japanese Journal of Applied Physics 42(6B) 4020-4023 (2003).
- 36) Vijay Kumar SINGH, Minoru SASAKI, Jong Hyeong SONG and Kazuhiro HANE, Heating Effect on Photoresist in Spray Coating Technique for Three-Dimensional Lithography, Japanese Journal of Applied Physics 42(6B) 4027-4030 (2003).
- 37) Masahiro ISHIMORI, Jong Hyeong SONG, Minoru SASAKI and Kazuhiro HANE, Si-Wafer Bending Technique for a Three-Dimensional Microoptical Bench, Japanese Journal of Applied Physics 42(6B) 4063-4066 (2003).
- 38) Phan Ngoc MINH, Takahito ONO, Yoichi HAGA, Kazuma INOUE, Minoru SASAKI, Kazuhiro HANE and Masayoshi ESASHI, Batch Fabrication of Microlens at the end of Optical Fiber using Self-photolithography and Etching Techniques, Optical Review, 10(3), 150-154 (2003).
- 39) Yoshiaki Kanamori, Hiroto Yahagi, Takahito Ono, Minoru Sasaki and Kazuhiro Hane, Fabrication of High-Accuracy Microtranslation Table for Near-Field Optical Data Storage Actuated by Inverted Scratch Drive Actuators, Japanese Journal of Applied Physics 42(6B), 4074-4078 (2003).
- 40) Minoru Sasaki, Takehiro Fjii, Kazuhiro Hane, Anisotropic Si Etching Condition for Preparing Optically Smooth surfaces, Sensors and Materials 15(2), 89-92 (2003).
- 41) Jong Hyeong Song, Yohei Taguchi, Minoru Sasaki and Kazuhiro Hane, MEMS Device for Controlling Evanescent Field on Side-Polished Optical Fiber, Japanese Journal of Applied Physics 42(4B), 2335-2338 (2003).
- 42) M.Sasaki, T.Yamaguchi, J.-H. Song, K.Hane, M.Hara, K.Hori, Optical Scanner on a Three-Dimensional Microoptical Bench, Journal of Lightwave Technology 21(3), 602-608 (2003).
- 43) Seiji Samukawa, Yoichi Minemura and Seiichi Fukuda, Control of nitrogen depth profile in ultrathin oxynitride films formed by pulse-time-modulated nitrogen beams, Journal of Vacuum Science and Technology, A22(2), 245-249 (2004).
- 44) Tadashi Shimamura, Shinnosuke Soda, Mitumasa Koyanagi, Kazuhiro Hane and Seiji Samukawa, Mitigation of accumulated electric charge by deposited fluorocarbon film during SiO₂ etching, Journal of Vacuum Science and Technology, A22(2), 433-436 (2004).
- 45) Tadashi Shimamura, Shinnosuke Soda, Mitumasa Koyanagi, Kazuhiro Hane and Seiji Samukawa, Effects of fluorocarbon gas species on electrical conductivity and chemical structure of deposited polymer in SiO₂ etchings processes, Journal of Vacuum Science and Technology, B22(2), 553-538 (2004).
- 46) Shinnya Kumagai, Toshiaki Shirowa and Seiji Samukawa, Reactive Platinum-Manganese Etching using Pulse-Time-Modulate Chlorine Plasma and Post-Corrosion Treatment, Journal of Vacuum Science and Technology, A22(4), 1093-1100 (2004).
- 47) Shuichi Noda, Hiromoto Nishimori, Tohru Iida, Tsunetoshi Arikado, Katsunori Ichiki, Takuya Ozaki and Seiji Samukawa, 50nm Gate Electrode Electrode Patterning Using A Neutral-Beam Etching System, Journal of Vacuum Science and Technology, A22(4), 1506-1512 (2004).
- 48) Mason NJ, Limao Vieira P, Eden S, Kendall P, Pathak S, Dawes A, Tennyson J, Tegeder P, Kitajima M, Okamoto M, Sunohara K, Tanaka H, Cho H, Samukawa S, Hoffmann SV, Newnham D, Spyrou SM, VUV and low energy electron impact study of electronic state spectroscopy of CF₃I, International Journal of Mass Spectrometry, 223 (1-3), 647-660 (2003).
- 49) Seiji Samukawa, Yoichi Minemura, and Seiichi Fukuda, Ultrathin Oxynitride Films Formed by using Pulse-Time-Modulated Nitrogen Beams, Japanese Journal of Applied Physics, 42, L795-L797 (2003).
- 50) Hiroto Ohtake, Hiroyuki Ishikawa, Takashi Fuse, Akira Koshiishi, Seiji Samukawa, Highly Selective and High Rate SiO₂ Etching Using Argon-added C₂F₄/CF₃I Plasma, Journal of Vacuum Science and Technology B21, 2142-2146 (2003).