

海外特別研究員最終報告書

独立行政法人日本学術振興会 理事長 殿

採用年度 H31年度

受付番号 201960089

氏名 小林 拓真

(氏名は必ず自署すること)

海外特別研究員としての派遣期間を終了しましたので、下記のとおり報告いたします。

なお、下記及び別紙記載の内容については相違ありません。

記

1. 用務地（派遣先国名）用務地： FAU Erlangen-Nürnberg （国名： ドイツ ）
2. 研究課題名（和文）※研究課題名は申請時のものと変わらないように記載すること。
炭化珪素 MOSFET におけるキャリア輸送機構の解明
3. 派遣期間：平成~~29~~令和 元年 10月 9日 ~ 令和 2年 12月 18日
4. 受入機関名及び部局名
受入機関名： FAU Erlangen-Nürnberg
部局名： Department of Condensed Matter Physics
5. 所期の目的の遂行状況及び成果…書式任意 書式任意 (A4判相当3ページ以上、英語で記入も可)
(研究・調査実施状況及びその成果の発表・関係学会への参加状況等)
(注)「6. 研究発表」以降については様式10-別紙1~4に記入の上、併せて提出すること

[研究背景]

電力変換用パワーデバイスの低損失化は、省エネ社会の実現を目指す上で不可欠である。しかし、現行のケイ素 (Si) パワーデバイスは技術の成熟により、Si の物性によって決定される理論限界に直面している。そこで、Si に代替する新材料として炭化ケイ素 (SiC) が注目を集めている [1,2]。SiC は広いバンドギャップ (Si の約 3 倍) および高い絶縁破壊電界 (Si の約 10 倍) 等、パワーデバイス応用に適した物性を有する。ゆえに同耐圧で比較した場合、SiC を用いることでパワーデバイスの通電損失を Si の場合の約 1/300 に低減できる。したがって、既存の Si サイリスタや絶縁ゲートバイポーラトランジスタ (IGBT) を SiC 金属-酸化膜-半導体 電界効果トランジスタ (MOSFET) (図 1(a)) に置き換えることができれば、パワーデバイスの大幅な低損失化・高速化が実現される。しかしながら、熱酸化により形成される SiC/二酸化ケイ素 (SiO₂) 界面には起源不明かつ高密度の欠陥準位が存在し、これが MOSFET の特性を制限しているのが現状である (図 1(b))。

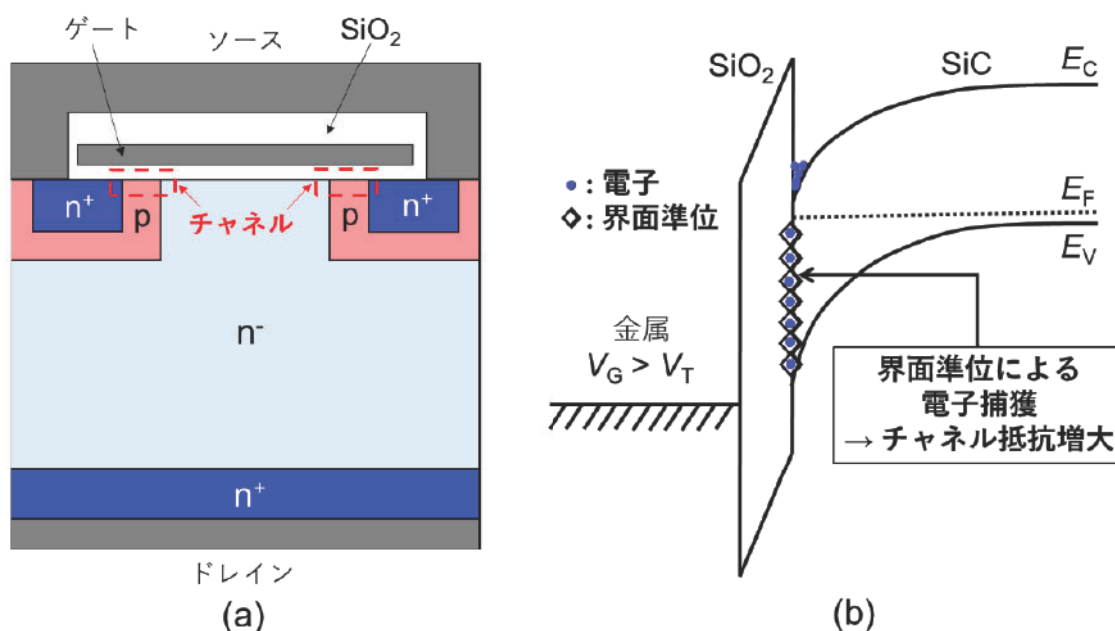


図 1 : (a) SiC パワーMOSFET (D-MOSFET) の模式図。(b) SiC MOS 界面の模式的なバンド図。高密度界面準位にキャリアである電子が捕獲され、これがチャネル抵抗の増大を招く。

これまでの研究により、欠陥準位とチャネル移動度との間に一定の相関があることは明らかとなっているが[3,4]、欠陥準位がキャリア散乱機構に与える影響の理解はほとんど進んでいない。また、欠陥準位によるキャリア捕獲効果によって MOSFET の移動度が制限され、通電損失が増大してしまうことが課題となっている。

[研究目的・内容]

上述の背景を踏まえ、本研究では、(a)「SiC MOS 界面における高密度欠陥準位が MOSFET のキャリア輸送機構に与える影響の解明」および (b)「低損失 (高移動度) SiC MOSFET の実現」を目的とし、SiC MOS 界面準位の大幅な低減手法を確立することを目的とした。以下に、得られた研究成果について報告を行う。

[研究成果]

「SiC MOS 界面準位を大幅に低減する新手法の確立」

SiC は Si と同様、熱酸化で SiO₂ 膜が形成できるという利点があることから、熱酸化による酸化膜形成を中心に研究開発が進められてきた。ただし、熱酸化によって形成された SiC MOS 界

面には高密度欠陥準位 ($D_{it} > 10^{13} \text{ cm}^{-1} \text{ eV}^{-2}$) が存在する。これらの欠陥準位は一酸化窒素 (NO) あるいは亜酸化窒素 (N_2O) 雰囲気中の熱処理によってある程度低減できる[3-6]が、欠陥の低減は依然として不十分である ($D_{it} > 10^{11} \text{ cm}^{-1} \text{ eV}^{-2}$)。欠陥準位の起源は明らかとなっていないが、SiC の酸化過程で生ずる炭素由来の欠陥[7-8]あるいはバンドテイル[9-10] (伝導帯端のゆらぎ[11]) 等が可能性として指摘されてきた。したがって、本研究では SiC の酸化の進行を原子レベルで抑制したプロセスの開発を目指した。具体的に考案したプロセスを、従来の標準プロセスと比較して図2に示す。

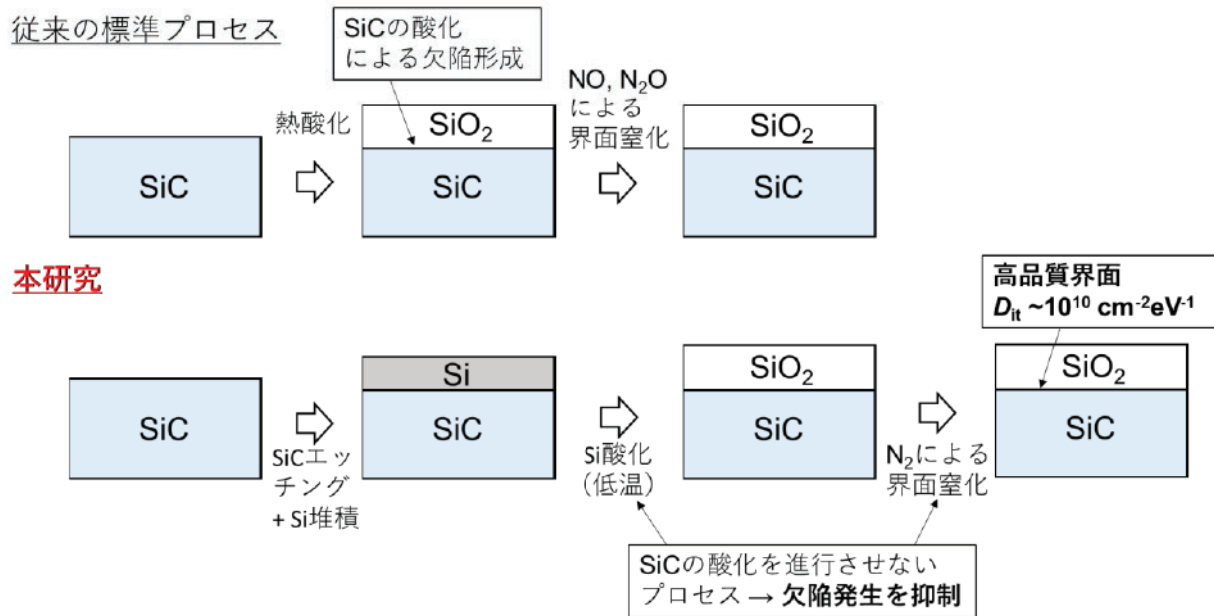


図2：本研究で考案した酸化膜形成プロセスと従来の標準プロセスの比較。

本研究で提案する手法では、酸化膜を以下の手順により形成する：(1) 水素 (H_2) ガスエッチングによる SiC 表面の清浄化、(2) Si 膜の堆積、(3) 低温 ($\sim 750^\circ\text{C}$) における Si 酸化、(4) 高温窒素 (N_2) アニールによる界面への窒素導入。本手法では前述の通り、SiC の酸化を原子レベルで抑制することを目指した。そこで、SiC の熱酸化プロセスを排除し、Si を堆積して、その Si のみを低温で熱酸化することで SiO₂ 膜を形成した。さらに、NO および N₂O アニールでは SiC の酸化が微弱に進行する点に着目し、これらの代わりに高温 N₂ アニール[12-13]を行うことで界面への窒素導入を行った。本窒素導入は界面に存在するダングリングボンドの終端を目的としている。

実際に、High-Low 法を用いて、 D_{it} の評価を行った。1350 - 1600°C の温度範囲で、N₂ アニールの温度上昇とともに D_{it} は低減し、1400°C 以上でアニールを行うと D_{it} は伝導帯端近傍 ($\sim E_c - 0.2 \text{ eV}$) で $10^{10} \text{ cm}^{-2} \text{ eV}^{-1}$ 台と非常に低い値となった。これは通常の熱酸化 SiC/SiO₂ 界面に比べ、約 2 桁小さい D_{it} 値である。また、通常の熱酸化 SiC/SiO₂ に NO アニール、もしくは N₂ アニールを行った場合の D_{it} 値は比較的高い ($> 10^{11} \text{ cm}^{-2} \text{ eV}^{-1} @ E_c - 0.2 \text{ eV}$) ことから、やはり SiC の熱酸化を抑制することが D_{it} 低減のために重要であることが分かった。これを更に確認すべく、Si 堆積 + 酸化 + 窒化プロセス中にあえて SiC の酸化が進行する条件でも検証を行った。まず、Si 堆積後の酸化温度を 750°C から 950°C に上昇させた場合には、 D_{it} が大幅に増加した ($> 10^{11} \text{ cm}^{-2} \text{ eV}^{-1} @ E_c - 0.2 \text{ eV}$)。これは、Si 膜の酸化温度を上げると、SiC の酸化も進行してしまうことに起因すると考えられる。更に、酸化膜形成後の N₂ アニールを NO アニールに代えた場合も、 D_{it} はやはり増加する ($\sim 10^{11} \text{ cm}^{-2} \text{ eV}^{-1} @ E_c - 0.2 \text{ eV}$)。これは、NO アニール中に SiC の熱酸化が進行することによって新たな欠陥形成が起こることを示した結果である。したがって、やはり SiC の酸化を原子レベルで抑制することが本プロセスの鍵であることが分かる。

最後に、本プロセスで形成した SiO₂ 膜の絶縁性を調べた。MOS キャパシタの電流密度の

酸化膜電界依存性を測定した結果、絶縁破壊電界強度は約 9.8 MVcm^{-1} と良好であった。このように、独自の酸化膜形成プロセスにより、良好な酸化膜絶縁性を維持した上で、SiC MOS 界面の欠陥準位密度を大幅に低減することに成功した。

参考文献

- [1] T. Kimoto and J. A. Cooper, *Fundamentals of Silicon Carbide Technology* (Wiley, Singapore, 2014).
- [2] B. J. Baliga, *IEEE Electron Device Lett.* **10**, 455 (1989).
- [3] P. Jamet, *et al.*, *J. Appl. Phys.* **90**, 5058 (2001).
- [4] G. Y. Chung, *et al.*, *IEEE Electron Device Lett.* **22**, 176 (2001).
- [5] L. A. Lipkin, *et al.*, *Mater. Sci. Forum* **389–393**, 985 (2002).
- [6] T. Kimoto, *et al.*, *Jpn. J. Appl. Phys.* **44**, 1213 (2005).
- [7] M. Bassler, *et al.*, *Diam. Relat. Mater.* **6**, 1472 (1997).
- [8] T. Kobayashi and T. Kimoto, *Appl. Phys. Lett.* **111**, 062101 (2017).
- [9] H. Yoshioka and K. Hirata, *AIP Adv.* **8**, 045217 (2018).
- [10] Y. Matsushita and A. Oshiyama, *Nano Lett.* **17**, 6458 (2017).
- [11] K. Ito, *et al.*, *J. Appl. Phys.* **128**, 095702 (2020).
- [12] A. Chanthaphan, *et al.*, *AIP Adv.* **5**, 097134 (2015).
- [13] K. Tachiki and T. Kimoto, *Ext. Abst. of Int. Conf. on Silicon Carbide and Related Materials 2019*, Mo-2A-05 (2019).