

平成 31 年 1 月 10 日

海外特別研究員最終報告書

独立行政法人 日本学術振興会 理事長 殿

採用年度 平成 29 年度

受付番号 217

氏 名 金子光顕

(氏名は必ず自署すること)

海外特別研究員としての派遣期間を終了しましたので、下記のとおり報告いたします。

なお、下記及び別紙記載の内容については相違ありません。

記

1. 用務地（派遣先国名）用務地： スイス連邦チューリッヒ工科大学 （国名：スイス連邦）
2. 研究課題名（和文）※研究課題名は申請時のものと変わらないように記載すること。
次世代電力素子実現に向けた炭化珪素結晶の積層欠陥生成および拡大の抑制
3. 派遣期間：平成 29 年 12 月 13 日 ～ 平成 30 年 12 月 11 日
4. 受入機関
チューリッヒ工科大学

8. 所期の目的の遂行状況及び成果 書式任意 (A4 判相当 3 ページ以上, 英語で記入のものも可)

(研究・調査実施状況及びその成果の発表・関係学会への参加状況等)

・研究目的・内容

送電・変電系統における電力変換技術の躍進により電力利用の効率化が実現されてきた。現在主流であるシリコン (Si) を用いたパワーデバイスの性能は、Si の物性値から決まる理論限界に近づいており、Si よりも各段に優れた物性値を有するシリコンカーバイド (SiC) に注目が集まっている。SiC を用いたデバイスの研究開発が進展し、すでに一部は量産化されている。一方、更なるデバイス性能向上には SiC 中に存在する結晶欠陥の制御が必要不可欠である。

結晶欠陥の中でも積層欠陥はデバイス性能および信頼性を大きく低下させるキラー欠陥であるため、その形成メカニズムと欠陥拡大機構の解明が重要であり、研究開発の進展により徐々に明らかになってきた。積層欠陥に代表される拡張欠陥の制御の次に課題となるのは点欠陥の制御である。点欠陥は半導体中のキャリアの挙動に大きく関わるため、その形成メカニズムの解明が重要となる。SiC 基板の内、半絶縁性 SiC 基板は多種多様な点欠陥を内包しているが、活性化エネルギーや密度といった物理的性質の多くは明らかでない。そこで本研究では、異なる手法により作製された半絶縁性 SiC 基板中の点欠陥について評価を行った。また、半絶縁性 SiC 基板はイオン注入を行うことで様々な構造を持つ横方向デバイスを作製することが可能であり、その試作も並行して行った。

・研究成果

【半絶縁性 SiC 基板の点欠陥評価】

半絶縁性 SiC 基板は 2000 度以上の高温環境下で成長されるため、空孔や格子間原子といった真性点欠陥を含んでおり、その真性点欠陥がバンドギャップ中に深い準位を形成することで半絶縁性が得られる。それらの真性点欠陥の密度は基板成長時の温度や原料供給によって定められているが、成長温度より低温の熱処理を施すことで、真性点欠陥の密度を制御することが可能である。そこで、本研究では、半絶縁性 SiC 基板に成長温度より低温の熱処理を施し、電気特性および点欠陥のアドミタンス法による評価を行った。

物理気相成長 (PVT) 法および高温化学気相成長 (HTCVD) 法により成長された半絶縁性 SiC 基板をサンプルとして用いた。1400-1900 度の熱処理を 30 分間アルゴン雰囲気下で行った。基板の裏面にオーミックコンタクト用の Al イオン注入 (イオン注入時の基板温度: 300 度, ドーズ量: $1.7 \times 10^{15} \text{ cm}^{-2}$) を行い、基板の表面、裏面にカーボンキャップを形成後、1650 度 10 分の活性化アニールを行った。オーミックコンタクトとして裏面に Ti/Al/Ni を蒸着し、1000 度 2 分のアニールを行った。ショットキーコンタクトとして表面に Ti を蒸着した。

PVT 法により成長された半絶縁性 SiC 基板上に作製したショットキーダイオードの I-V 特性を図 1 に示す。図 1 の I-V 特性について、熱処理温度によら

ずほぼ同一の立ち上がり電圧およびオン抵抗を有することがわかる。また、C-V 特性から求めた実効アクセプタ密度はいずれのサンプルでも $1-2 \times 10^{17} \text{ cm}^{-3}$ となった。PVT 法では残留不純物としてボロン (B) が混入されやすいことが知られており、B は SiC 中でアクセプタとして働く。熱処理温度によらず $1-2 \times 10^{17} \text{ cm}^{-3}$ の実効アクセプタが存在した理由として、残留 B がアクセプタとなっていたことが考えられる。しかし、PVT 法による残留 B 密度の一般的な値は 10^{15} cm^{-3} 台であり、今回得られた実効アクセプタ密度と二桁以上乖離している。ロッドにより残留 B 密度が

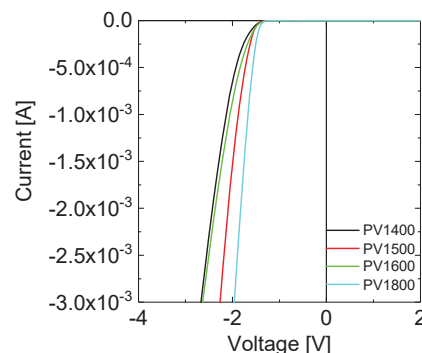


Fig. 1: PVT 法により成長された半絶縁性 SiC 基板上に作製したショットキーダイオードの I-V 特性

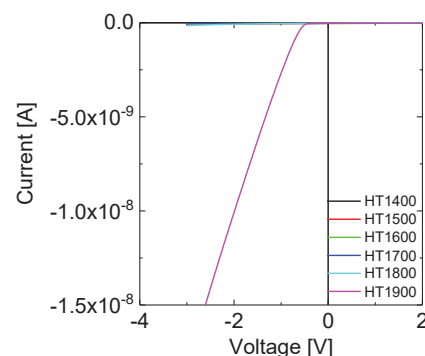


Fig. 2: HTCVD 法により成長された半絶縁性 SiC 基板上に作製したショットキーダイオードの I-V 特性

異なることも考えられるため、二次イオン質量測定により残留 B 密度の精密測定を行う必要がある。

HTCVD 法により成長された半絶縁性 SiC 基板上に作製したショットキーダイオードの I-V 特性を図 2 に示す。1700 度以下の熱処理温度では正負どちらの電圧をかけても電流がながれておらず、絶縁特性を示している。一方、1800 度の熱処理温度では負側に電圧を印加した際に、わずかにショットキーダイオードが立ち上がっていることがわかる。更に温度を上げた 1900 度では、直列抵抗が低下し、ダイオード特性を鮮明に確認することができる。HTCVD 法では高純度の原料を利用することで PVT 法より残留不純物密度を低くすることが可能であり、1700 度以下で熱処理を行ったサンプルの絶縁特性は、基板成長時の真性点欠陥密度が残留不純物密度を上回っていることを示唆している。1800 度以上の熱処理では真性点欠陥密度が減少し、残留不純物密度以下になったことで基板の抵抗率が減少したと考えられる。また、ショットキーダイオードの立ち上がり電圧に着目すると、図 1 (PVT 法) と図 2 (HTCVD 法) で異なる値となっていることがわかる。どちらもショットキー電極として同じ電極 (Ti) を使用していることから、立ち上がり電圧の違いは半絶縁性基板中のフェルミ準位が異なることを示唆している。半絶縁性基板中のフェルミ準位は補償欠陥準位にピンングされていると考えられるため、立ち上がり電圧の違いからも製造方法により半絶縁性に寄与する真性点欠陥の種類が異なることがわかる。

次に、作製したショットキーダイオードをアドミタンス法により測定した。アドミタンス法はサンプルのキャパシタンスおよびコンダクタンスの温度変化を測定することで点欠陥の物性を評価する手法である。図 3 に PVT 法により成長された半絶縁性 SiC 基板のアドミタンス法による測定結果を示す。アニール温度はそれぞれ 1400℃、1800℃である。測定周波数は 1kHz、交流電圧の振幅は 30mV である。スペクトルをみると、熱処理温度によらず 150K 付近にピークが確認できる。アドミタンス法では測定周波数を変化させたときのピーク位置変化から活性化エネルギーを求めることができ、150K 付近のピークの活性化エネルギーは 0.3eV と求まった。B のイオン化エネルギーは 0.3eV であることから、150K 付近のピークは残留 B アクセプタによるピークと考えられる。また、500K 付近に小さなピークが確認できる。このピークの活性化エネルギーは 0.8eV と求まった。高純度半絶縁性基板に含まれる真性点欠陥のうち、シリコン空孔が 0.8eV の活性化エネルギーを持つことが知られている[1]。活性化エネルギーが一致することから、図 3 で確認された 500K 付近の小さなピークはシリコン空孔起因と考えられる。しかしながら、ピーク強度が非常に小さく、点欠陥密度の評価はできなかった。一方、1800 度の熱処理を施したサンプルのみ 300K 付近にピークが確認できる。1700 度以下では確認できないことから 1800 度の熱処理により新たに形成された点欠陥であることがわかるが、B 起因およびシリコン空孔起因のピークに埋もれていることによってピー

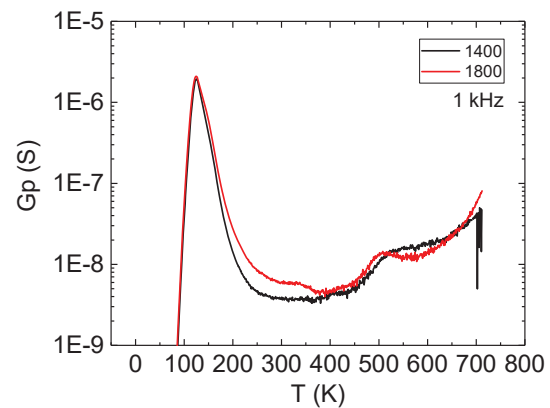


Fig. 3: PVT 法により成長された半絶縁性 SiC 基板のアドミタンス法による測定結果

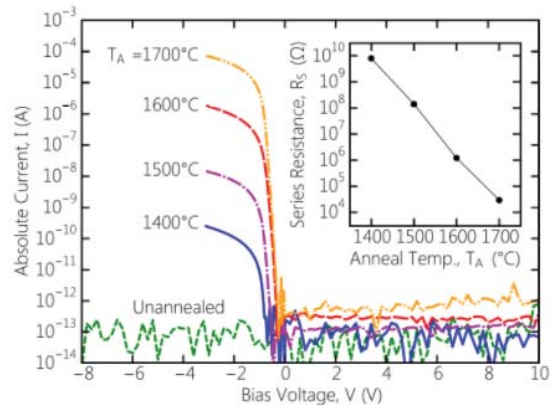


Fig. 4: PVT 法により成長された半絶縁性 SiC 基板のショットキーダイオードの I-V 特性[2]

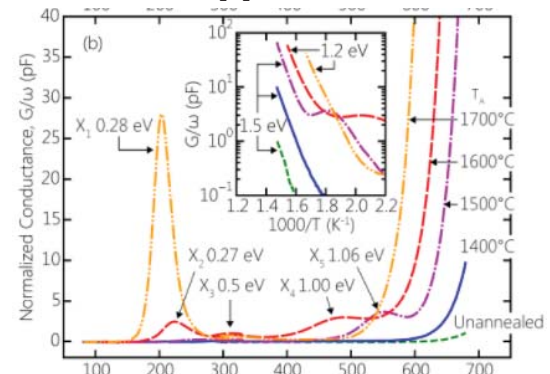


Fig. 5: PVT 法により成長された半絶縁性 SiC 基板のアドミタンス法による測定結果[2]

ク位置の同定が困難なため、活性化エネルギーの導出には至っていない。

PVT 法により成長された半絶縁性 SiC 基板のアドミタンス法による測定は他機関からの報告がある[2]。図 4, 5 に作製したショットキーダイオードの I-V 特性およびアドミタンス法による測定結果を示す。本研究で作製したショットキーダイオードと異なり、熱処理温度によって特性が大きく異なっていることがわかる。他機関では、Al イオン注入後の活性化アニールの温度を変化させることで熱処理温度依存性を評価していた。しかしながら、イオン注入した Al の活性化には 1600 度以上の温度が必須であり、活性化アニールの温度を 1600 度以下にしてしまうと良好なオーミックコンタクトを取ることが困難になると考えられる。そのため、他機関の結果では半絶縁性 SiC 基板中の点欠陥密度に加えて裏面コンタクト特性も同時に変化しているため、顕著な熱処理温度依存性が見られていると考えられる。

次に、HTCVD 法により成長された半絶縁性 SiC 基板のアドミタンス法による測定を試みた。しかしながら、1900 度のアニール後でも非常に高い抵抗率を有しているため、測定を行うことができなかった。

PVT 法、HTCVD 法により成長された半絶縁性 SiC 基板について、アニール温度による電気特性および点欠陥密度の変化を評価した。実験の結果、HTCVD 法で成長された半絶縁性基板は 1900℃ 以上のアニールを施した後でも高い抵抗率を維持しており、その熱的安定性の高さは高集積横方向デバイス作製に有用である。

【半絶縁性 SiC 基板へのイオン注入による横方向デバイス作製】

SiC は厳環境で動作可能なデバイス用材料として期待されている。論理デバイスとして、これまで、BJT や CMOS を用いた 400℃ 以上で動作可能な IC 作製が報告されている[3, 4]。一方、JFET は CMOS と比較して閾値電圧の変動が少ない、酸化膜の信頼性の問題が無いという利点を有しており、n チャネル JFET

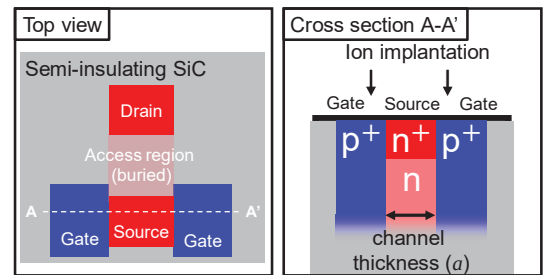


Fig. 6: 作製した JFET の構造

(nJFET) を用いた IC 作製の報告もなされている[5]。しかし、この IC は、nJFET と抵抗を組み合わせるため、原理的に損失が大きい。消費電力低減の観点から、相補型論理デバイスが理想的であるが、nJFET と pJFET を同一基板上に作製する必要があり、エピ層をチャネルとした従来の構造では実現が困難である。これまで、イオン注入により nJFET および pJFET の同一基板上への作製を試み、その動

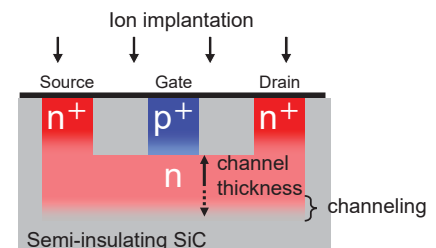


Fig. 7: 過去に作製した JFET の構造

作実証に成功した[6]。しかしながら、過去に作製した構造では閾値電圧の制御性が悪く、ノーマリーオフ実現にはいたらなかった。ノーマリーオフ動作実現に向けて、本研究では、JFET の構造を改善し、同一基板上における JFET の閾値電圧の制御を目指した。

作製した構造を図 6 に示す。また、過去に作製した JFET 構造を図 7 に示す。過去に作製した構造では、閾値電圧を決定するチャネル厚をイオン注入方向と平行方

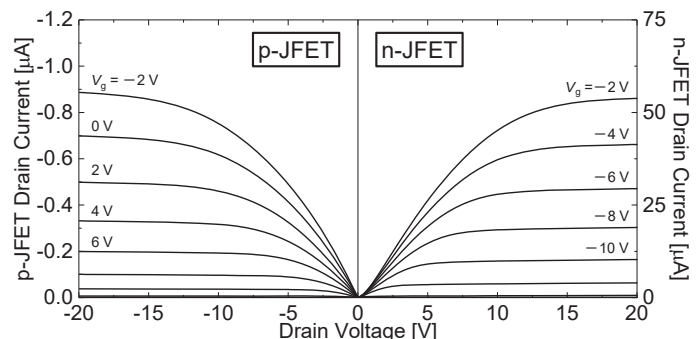


Fig. 8: 作製した p-および n-JFET のドレイン特性

向に作製していた。そのため、イオン注入プロファイルによって閾値電圧が一意に決まっていた。今回作製した構造ではチャネル厚をイオン注入方向と垂直方向に作製した。これにより、チャネル厚はイオン注入時のマスク設計を変えることで変更できるため、閾値電圧を制御できることが予想される。また、本構造はチャネルを両側から制御するダブルゲート構造となっている点も長所といえる。

作製した JFET のドレイン特性を図 8 に示す。線形領域、飽和領域が明瞭に確認でき、良好なトランジスタ特性を示している。次に、異なるチャネル厚を有する JFET のゲート特性を図 9 に示す。チャネル厚が狭くなるほど、閾値電圧の絶対値が小さくなっていることがわかる。チャネル厚が狭くなることは、チャネルを閉じるために必要な空乏層幅が減少することを意味しており、予測どおりと言える。

以上より、本構造により閾値電圧の制御に成功したため、今後ノーモリオフ実現に有望な構造と言える。

- [1] N. T. Son, et al., Phys. Rev. B 75, 155204 (2007).
- [2] N. Iwamoto, et al., J. Appl. Phys. 118, 045705 (2015).
- [3] L. Lanni, et al., IEEE EDL 9, 1091 (2013).
- [4] E. Ramsya, et al., Mat. Sci. Forum 821-823, 859 (2015).
- [5] P. G. Neudeck, et al., AIP Advances 6, 125119 (2016).
- [6] M. Kaneko and T. Kimoto IEEE EDL 39, 723, (2018).

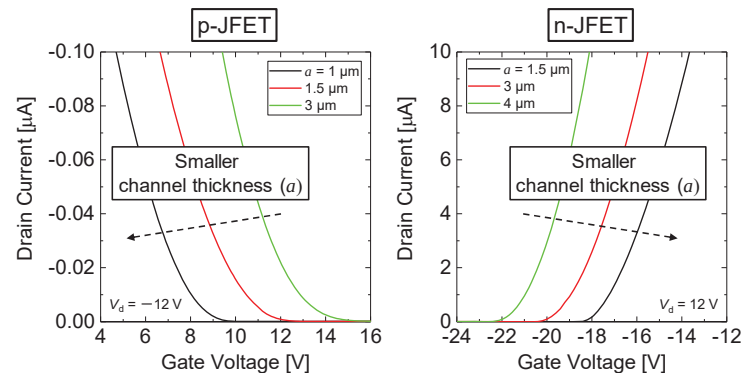


Fig. 9: 作製した p-および n-JFET のゲート特性