海外特別研究員最終報告書

独立行政法人 日本学術振興会 理事長 賢

採用年度 平成29年度
受付番号 217

氏名 金子光顕
（氏名は必ず自署すること）

海外特別研究員としての派遣期間を終えましたので、下記のとおり報告いたします。
なお、下記及び別紙記載の内容については相違ありません。

記

1. 用務地（派遣先国名）用務地：スイス連邦チューリッヒ工科大学（国名：スイス連邦）
2. 研究課題名（和文）※研究課題名は申請時のものと違うように記載すること。
   次世代電力素子実現に向けた炭化珪素結晶の積層欠陥生成および拡大の抑制
3. 派遣期間：平成 29 年 12 月 13 日 ～ 平成 30 年 12 月 11 日
4. 受入機関
   チューリッヒ工科大学
8. 所期の目的の遂行状況及び成果

（研究・調査実施状況及びその成果の発表・関係学会への参加状況等）

研究目的・内容

送電・変電系における電力変換技術の開発により電力利用の効率化が実現されてきた。現在主流れであるシリコン（Si）を用いたパワーデバイスの性能は、Si の物性値から決まる理論限界に近づいており、Si よりも各段に優れた物性値を有するシリコンカーバイド（SiC）に注目が集まっている。SiC を用いたデバイスの研究開発が進展し、すでに一部は量産化されている。一方、更なるデバイス性能向上には SiC 中に存在する結晶欠陥の制御が必要不可欠である。

結晶欠陥の中でも積層欠陥はデバイス性能および信頼性を大きく低下させるキーパラメータであるため、その形成メカニズムと欠陥拡大機構の解明が重要であり、研究開発の進展により徐々に明らかになってきた。積層欠陥を表すに至る欠陥の流れに、その形成メカニズムの解明が重要である。SiC 基板の内、半絶縁性 SiC 基板は多様多様な結晶欠陥を内包しているが、活性化エネルギーを密度といった物理的性質の多くは明らかでない。そこで本研究では、異なる手法により作製された半絶縁性 SiC 基板の中の点欠陥について評価を行った。また、半絶縁性 SiC 基板はイオン注入を行うことで様々な構造を持つ横向デバイスを作製することが可能であり、その試作も並行して行った。

研究成果

【半絶縁性 SiC 基板の点欠陥評価】

半絶縁性 SiC 基板は 2000 度以上の高温環境下で成長されるため、空孔や格子間原子といった真性粒子欠陥を含んでおり、その真性粒子欠陥がバンドギャップ中に深い準位を形成することで半絶縁性が得られる。それらの真性粒子欠陥の密度は基板成長時の温度や原料供給によって定められているが、成長温度より低温の熟処理を施すことで、真性粒子欠陥の密度を制御することが可能である。そこで、本研究では、半絶縁性 SiC 基板に成長温度より低温の熱処理を施し、電気特性および点欠陥のアドミタンス法による評価を行った。

物理気相成長（PVT）法および高温化学気相成長（HTCVD）法により成長させた半絶縁性 SiC 基板をサンプルとして用いた。1400～1900 度の熱処理を 30 分間アルゴン雰囲気下で行った。基板の裏面にオーミックコンタクト用の Al イオン注入（イオン注入時の基板温度：300 度、ドーズ量：1.7 \times 10^{15} \text{ cm}^2）を行い、基板の表面、裏面にカーボンキャップを形成後、1650 度 10 分の活性化アニールを行った。オーミックコンタクトとして裏面に Ti/Al/Ni を蒸着し、1000度 2 分のアニールを行った。ショットキーコンタクトとして表面に Ti を蒸着した。

PVT 法により成長させた半絶縁性 SiC 基板上に作製したショットキーディオードの I-V 特性を図1に示す。図1の I-V 特性に対して、熱処理温度によらず、同一の立ち上がり電圧およびオン抵抗を有することがわかる。また、C-V 特性から求めた実効アクセプタ密度はいずれのサンプルでも 1-2 \times 10^{17} \text{ cm}^2 となった。PVT 法では残留不純物としてポロン (B) が混入されやすいことが知られており、B は SiC 中でアセプタとして働く。処理温度によらず 1-2 \times 10^{17} \text{ cm}^2 の実効アクセプタ密度を有する理由として、残留 B がアクセプタとなっていことが考えられる。しかし、PVT 法による残留 B 密度の一般的な値は 10^{16} \text{ cm}^2 であり、今回得られた実効アクセプタ密度と二桁以上乖離している。ロットにより残留 B 密度が
異なることも考えられるため、二次イオン質量測定により残留B密度の精密測定を行う必要がある。

HTCVD法により成長された半絶縁性SiC基板上に作製したショットキダイオードのI-V特性を図2に示す。1700度以下の熱処理温度では正負どちらの電圧を加えても電流が流れておらず、絶縁特性を示している。一方、1800度の熱処理温度では電流が流れた際に、わずかにショットキダイオードが立ち上がっていることがわかった。更に温度を上げた1900度では、逆に抵抗が低下し、ダイオード特性を鮮明に確認することができる。HTCVD法では高結度の原料を用いることでPVT法により残留不純物密度を低くすることができ可能であり、1700度以下で熱処理を行ったサンプルの絶縁特性は、基板成長時の真性点欠缺密度が残留不純物密度を上回っていることを示唆している。1800度以上の熱処理では真性点欠缺密度が減少し、残留不純物密度以下になったことで基板の抵抗率が減少したと考えられる。また、ショットキダイオードの立ち上がり電圧に着目すると、図1（PVT法）と図2（HTCVD法）で異なる値となっていることがわかる。どちらもショットキ極極として同じ電極（Ti）を使用していることから、立ち上がり電圧の違いは半絶縁性基板中のフェルミ準位が異なることを示唆している。半絶縁性基板中のフェルミ準位は補償欠陥準位にピッチされていると考えられるため、立ち上がり電圧の違いからも製造方法により半絶縁性に寄与する真性点欠缺の種類が異なることがわかる。

次に、作製したショットキダイオードをアドミタンス法により測定した。アドミタンス法はサンプルのキャパシタンスおよびコンダクタンスの温度変化を測定することで点欠陥の物性を評価する方法である。図3にPVT法により成長された半絶縁性SiC基板のアドミタンス法による測定結果を示す。アニュール温度はそれぞれ1400℃、1800℃である。測定周波数は1kHz、交流電圧の振幅は30mVである。スペクトルをみると、熱処理温度によらず150K付近にピークが確認できる。アドミタンス法では測定周波数を変化させたときのピーク位置変化から活性化エネルギーを求めることができる。150K付近のピークの活性化エネルギーは0.3eVと求めた。Bのイオン化エネルギーは0.3eVであることから、150K付近のピークは残留Bアクセプタによるピークと考えられる。また、500K付近に小さなピークが確認できる。このピークの活性化エネルギーは0.8eVと求めた。高結度半絶縁性基板に含まれる真性点欠陥のうち、シリコン空孔が0.8eVの活性化エネルギーを持つことが知られている[1]。活性化エネルギーが一致することから、図3で確認された500K付近の小さなピークはシリコン空孔起因と考えられる。しかしながら、ピーク強度が非常に小さく、点欠陥密度の評価できなかった。一方、1800度の熱処理を施したサンプルのみ300K付近にピークが確認できる。1700度以下では確認できないことから1800度の熱処理により新たに形成された点欠陥であることがかかれる。B起因およびシリコン空孔起因のピークに埋もれていることによってピークが確認できる。
ク位置の定義が困難なため、活性化エネルギーの導出に至っていない。

PVT 法により成長された半絶縁性 SiC 基板のアドミタンス法による測定は他機関からの報告がある[2]。図 4, 5 に作製したショットキーダイオードの I-V 特性およびアドミタンス法による測定結果を示す。本研究で作製したショットキーダイオードと異なり、熱処理温度によって特性が大きく異なっていることがわかる。他機関では、AI イオン注入後の活性化アノールの温度を変化させることで熱処理温度依存性を評価していた。しかしながら、イオン注入した Al の活性化には 1600 度以上の温度が必要であり、活性化アノールの温度を 1600 度以下にしてしまうと良好なオーミックコンタクトを取ることが困難になると考えられる。そのため、他機関の結果では半絶縁性 SiC 基板中の点欠陥密度に加えて表面コンタクト特性も同時に変化しているため、顕著な熱処理温度依存性が見られていると考えられる。

次に、HTCVD 法により成長された半絶縁性 SiC 基板のアドミタンス法による測定を試みた。しかしながら、1900 度のアノール後でも非常に高い抵抗率を有しているため、測定を行うことができなかった。

PVT 法、HTCVD 法により成長された半絶縁性 SiC 基板について、アノール温度による電気特性および点欠陥密度の変化を評価した。実験の結果、HTCVD 法で成長された半絶縁性基板は 1900℃ 以上のアノールを施した後でも高い抵抗率を維持しており、その熱的安定性の高さは高集積横方向デバイス作製に有用である。

【半絶縁性 SiC 基板へのイオン注入による横方向デバイス作製】

SiC は厳環境で動作可能なデバイス用材料として期待されている。論理デバイスとして、これまで、BJT や CMOS を用いた 400℃ 以上で動作可能な IC 作製が報告されている[3, 4]。一方、JFET は CMOS と比較して閾値電圧の変動が少ない、酸化膜の信頼性の問題が無いという利点を有しており、n チャネル JFET (nJFET) を用いた IC 作製の報告もなされている[5]。しかし、この IC は、nJFET と抵抗を組み合わせて作製してい るため、原理的に損失が大きい。消費電力低減の観点から、相補型論理デバイスが理想的であるが、nJFET と pJFET を同一基板上に作製する必要があり、エビ層をチャネルとした従来の構造では実現が困難である。これまで、イオン注入により nJFET および pJFET の同一基板上への作製を試み、その動作実証に成功した[6]。しかしながら、過去に作製した構造では閾値電圧の制御性が悪く、ノーマリーオフ実現にはいたらなかった。ノーマリーオフ動作実現に向けて、本研究では、JFET の構造を改善し、同一基板上における JFET の閾値電圧の制御を目指した。

作製した構造を図 6 に示す。また、過去に作製した JFET 構造を図 7 に示す。過去に作製した構造では、閾値電圧を決定するチャネル厚をイオン注入方向と平行方向に作製していた。そのため、イオン注入プロファイルによって閾値電圧が一意に決まっており、今回作製した構造ではチャネル厚をイオン注入方向と垂直方向に作製した。これにより、チャネル厚はイオン注入時のマスク設計を変えることで変更できるため、閾値電圧を制御できることが予想される。また、本構造はチャネルを両側から制御するダブルゲート構造となっている点も所長といえる。

![Fig. 6: 作製した JFET の構造](image)

![Fig. 7: 過去に作製した JFET の構造](image)

![Fig. 8: 作製した p-および n-JFET のドレイン特性](image)
作製した JFET のドレイン特性を図 8 に示す。線形領域、飽和領域が明瞭に確認でき、良好なトランジスタ特性を示している。次に、異なるチャネル厚を有する JFET のゲート特性を図 9 に示す。チャネル厚が狭くなるほど、閾値電圧の絶対値が小さくなっていることがわかる。チャネル厚が狭くなることは、チャネルを閉じるために必要な空乏層厚が減少することを意味しており、予測どおりと言える。以上より、本構造により閾値電圧の制御に成功したため、今後ノーマリオフ実現に有望な構造と言える。

Fig. 9: 作製した p-および n-JFET のゲート特性