



IV族/III-V族ヘテロ接合の界面欠陥制御に基づく低電圧スイッチ素子の回路応用



研究者所属・職名 :
大学院情報科学研究院・准教授

ふりがな とみおか かつひろ

氏名 : 富岡 克広

主な採択課題 :

- [基盤研究\(B\)「Si/III-V異種接合によるナノワイヤ縦型トンネルFET立体集積回路技術の確立」\(2019-2021\)](#)
- [挑戦的研究\(萌芽\)「超高速共鳴トンネルトランジスタの開発」\(2019-2021\)](#)
- [若手研究\(A\)「IV族/III-V族ヘテロ接合の界面欠陥制御に基づく低電圧スイッチ素子の回路応用」\(2016-2018\)](#)

分野 : 結晶工学、半導体デバイス

キーワード : 結晶成長、半導体ナノワイヤ、ヘテロ接合、量子トンネル輸送、電子デバイス

課題

●なぜこの研究をおこなったのか？(研究の背景・目的)

スマートフォンやパソコンのマイクロプロセッサ・半導体集積回路は、基本素子となる電界効果トランジスタ(FET)を小さくし、指先ほどの大きさのチップの中にFETを敷き詰め高性能化を実現している。高性能化の一方、このFETの莫大な数による消費電力の急増が深刻な問題となっている。これは、FETのスイッチング性能(サブスレッショルド係数)に物理的な限界(60 mV/桁)があるためである。抜本的な省エネルギー化を実現するためには、FETの物理限界を突破できる新しいスイッチ素子とその実用化が必要となる。本研究では、半導体エレクトロニクスの低消費電力化を目指し、Si、Geプラットフォーム上で、新しい半導体接合界面を用いたトンネルダイオード、トンネルFET素子を作製する。さらに、これらの相補性を検討し、低消費電力型LSIの実現へとつなげる基盤技術を確認することを目的とする。

●研究するにあたっての苦労や工夫(研究の手法)

申請者が確立してきた半導体ナノワイヤの異種集積技術を用いて、格子欠陥・ミスフィット転位を完全に抑制したIV族/III-V族ヘテロ接合を形成する。この接合界面について、界面欠陥制御技術を確認しつつ、転位のないコヒーレント成長機構などの結晶学的な基礎特性を明らかにするとともに、これらの新しい半導体ヘテロ接合界面を低電圧スイッチ素子・トンネルFETへ応用することで、サブスレッショルド係数の急峻化と相補スイッチング性能を検討する。

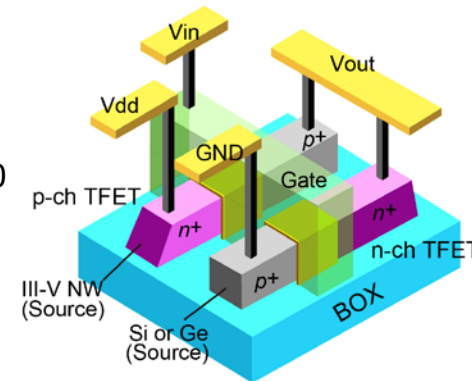


図1 IV/III-V族ヘテロ接合トンネルFETからなるCMOS論理回路のイメージ図

IV族/III-V族ヘテロ接合の界面欠陥制御に基づく低電圧スイッチ素子の回路応用

研究成果

●どんな成果がでたか？どんな発見があったか？

研究目的から、以下の3つの項目について、研究を進めた。①IV族/III-V族ヘテロ接合界面の界面欠陥制御、②Si/InAs 横型TFETの試作、③トンネル電流の増大化技術と相補スイッチ動作

①IV族/III-V族ヘテロ接合界面の界面欠陥制御

Silicon-on-Insulator (SOI), Ge-OI(001)基板上にトンネルFET(TFET)のソース材料となるIII-Vナノワイヤを選択成長する集積技術を確認し[図2(a),(b)]、SOI層厚7 nmでは、転位が1つだけ形成され歪みがラメラ状に分布し、コヒーレント成長に近い格子歪みが現れることを見出した。また、p-Ge-OI(001)のAs, P, Sb気相ドーピング技術を確認した。

② Si/InAs 横型TFETの試作

①の知見から横型TFET素子を作製し[図2(c),(d)]、p-InAsナノワイヤソースを導入したが、MOSFETの最小限界以下のSS係数を実現した。次いで、SOI (50 nm)にFin幅70 nmの細線を形成し、Fin型の横型InAs/Si TFET素子構造を作製した。立体構造でゲートリーク特性が抑制されることを見出し、最小SS = 22 mV/decで急峻なSS係数を達成し、従来のMOSFETの電力を70%低減できる素子性能を実証した。Siゲート領域・ドレイン領域を立体構造にすることでゲートリーク特性を抑制された。

③トンネル電流の増大化技術と相補スイッチ動作

InGaAsナノワイヤ中に形成される二次元電子ガス層とSi間のトンネル輸送をInGaAs/Si接合界面で実現する素子構造でトンネル電流が1000倍まで増加できることを実証できた。さらに、相補型スイッチング構造として、変調ドーブ型の縦型TFET素子構造について、ソース・ドレイン接地を入れ替えることで、n/pチャネル特性を実証した

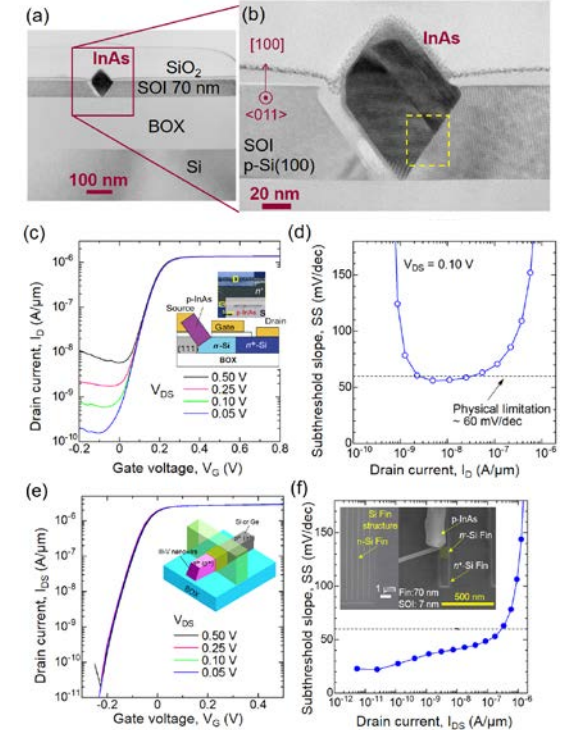


図2 (a),(b) SOI上のInAsナノワイヤ選択成長、(c)Si/InAs横型TFETの伝達特性と(d)SS係数、(e) Si/InAs Fin型TFETの伝達特性と(f)SS係数

今後の展望

●本研究では、TFET素子のスイッチング性能の高性能化と回路化に向けた相補性能の新たな技術を見出した。これらの知見を縦型TFETに応用することで、単一構造で相補スイッチングする、超低消費電力型の新しい立体集積回路構造へと展開することができる。



図3 III-Vナノワイヤ/Siトンネル接合縦型TFET立体集積構造図