

次世代 ULSI 用薄膜材料の開発と ナノスケールプロセスインテグレーション

Development of Thin Films for Future ULSI's and Nano-scale Process Integration

(研究プロジェクト番号：JSPS-RFTF 96R13101)

プロジェクトリーダー

安田 幸夫 名古屋大学大学院工学研究科・教授

コメンター

財満 鎮明 名古屋大学先端技術共同研究センター・教授

田中 信夫 名古屋大学大学院工学研究科・教授

酒井 朗 名古屋大学大学院工学研究科・助教授

堀 勝 名古屋大学大学院工学研究科・助教授

岩野 博隆 名古屋大学大学院工学研究科・助手

池田 浩也 名古屋大学大学院工学研究科・助手

岡田 昌久 日本学術振興会・ポストドクター



1. 研究目的

「産業の米」と呼ばれた半導体シリコン (Si) 集積回路 (LSI) は、今もなお、より一層の発展を続けている。しかしながら、従来用いられてきた材料の持つ性能に限界が見え始め、将来の集積回路の性能予測が不透明になっている。こうした状況を鑑み、本プロジェクトでは、次世代超々LSI (ULSI) の限界を打破するために必要不可欠かつ独創的な種々の薄膜材料を開発するとともに、次世代 ULSI のナノスケールデバイス構造、材料・プロセス技術のあるべき姿を総合的に検討しかつ提案することを目的として、研究を推進した。

2. 研究成果概要

2.1 コンタクト用薄膜

半導体素子との信号のやりとりでは、半導体と金属の接合面を介して電流が流れる。この界面の抵抗を低くし、信頼性の高いコンタクトを形成するための金属及び半導体材料の探索および形成技術の開

発と金属/Si 界面反応により発生する界面準位や欠陥の制御技術について検討した。

超低抵抗コンタクト構造として期待される Ti/SiGe およびジルコニウム (Zr)/SiGe 界面の固相反応過程を調べた結果、Ti/Si 系および Zr/Si 系に比べて高抵抗 C49 シリサイド相から低抵抗 C54 相への転位温度が低下することを見いだした。この場合、Ti/SiGe 系においては、Ge リッチ層が界面に形成されるために界面のショットキー障壁高さが減少する。また、シリサイド化反応初期に Ti と Ge の反応を抑えることが、その後の C49- および C54-Ti(SiGe)₂ 相の層状成長に肝要であることを見いだした。

コバルトシリサイド (CoSi₂) と高不純物濃度 Si 基板との界面におけるコンタクト抵抗率について、実験と数値計算の両面から検討した。実測値であるコンタクト抵抗率の界面不純物濃度依存性を、高不純物濃度半導体のバンド構造を考慮した数値計算によって解析した結果、n⁺-Si とのコンタクトにお

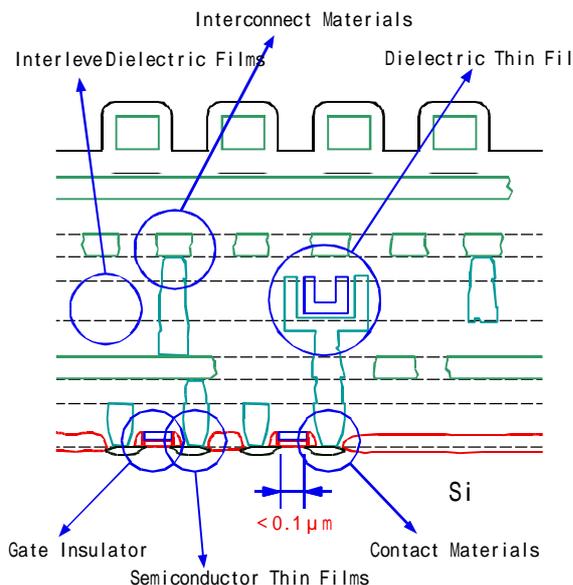


図1 ULSI デバイスの断面模式図

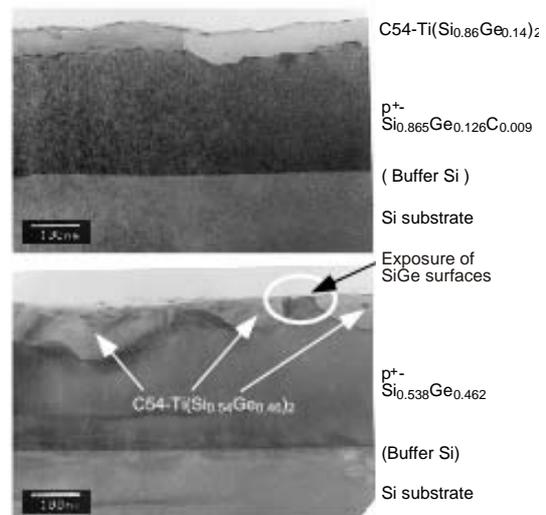


図2 750°C 熱処理後の Ti/SiGe 構造の断面 TEM 像
Ge 組成：0.14 (上) および 0.46 (下)

いて、高不純物濃度に起因するバンド構造がコンタクト抵抗率に顕著に影響することを明らかにした。

2.2 極薄ゲート酸化膜

極微細 ULSI デバイスの開発は、ゲート絶縁膜の薄膜化によって牽引されている。その物理的膜厚の限界が近づく中で、信頼性の確保は最重要課題である。それゆえに、極薄酸化膜の特性劣化の機構の解明と抑制手法の確立、およびゲート絶縁膜としての高誘電率薄膜の応用に当たり、その物性、形成プロセスについて検討した。

極薄シリコン酸窒化膜およびその界面に対する、断面透過電子顕微鏡 (TEM)、X 線光電子分光 (XPS)、全反射赤外吸収分光 (FT-IR-ATR) による構造分析の結果、N 原子は SiO₂/Si 基板界面近傍に存在し界面に近いほど高濃度であり、SiO₂/Si 界面近傍でネットワーク構造を緻密化する一方で構造緩和を促進することを見いだした。さらに光電子収率分光 (PYS) を用いて極薄ゲート SiO₂/Si 界面の欠陥準位密度のエネルギー分布を極めて高感度 (10⁹ cm⁻² eV⁻¹ 以上) に検出した結果、N₂O 窒化処理による欠陥準位密度の低減と窒素導入による SiO₂/Si 界面近傍の応力緩和に相関を見いだした。

ゲート絶縁膜の劣化現象に対する微視的評価を行うため、走査トンネル顕微鏡 (STM) を用い、STM 探針からの電子注入による酸化膜の局所電子状態の変化について調べた。電子注入により、STM 像中に輝点の生成が観察された。この輝点は酸化膜中に存在する正電荷を有するトラップ準位であり、その構造・分布を原子スケールで捉えることに成功した。

2.3 半導体薄膜

シリコンゲルマニウム (SiGe) 等の IV 族混晶半導体材料は、Si デバイスを超える高性能化、微細化、集積化を推進できる有力材料である。このような半導体薄膜を電子デバイス、さらには量子デバイス等の新機能素子へ応用するために、原子オーダー精度での成長・加工技術および不純物ドーピング制御について検討した。

高真空減圧化学気相堆積 (CVD) 法を用い、Si および Ge の原子層成長過程、絶縁膜や金属膜、ならびに SiGe 膜へのリン (P) およびボロン (B) ドーパント不純物の取り込み過程やエッチング過程

を検討した。その結果、それらの吸着・反応過程がラングミュア型吸着・反応式で定式化できることを明らかにし、理論的に裏付けられたプロセス制御を実現した。さらに SiGe 層の選択成長を用いてソース・ドレイン極浅接合を自己整合的に形成させる、75nm ルールの電界効果トランジスタ (FET) を作製した。その電気的特性およびデバイス特性の評価を基に、種々のデバイスパラメータの適正值に対する指針を得た。

高品質歪緩和 SiGe 層形成のためのキャップ層熱処理法を提案した。これは、低温成長した SiGe 層上に極薄 Si キャップ層を形成した後、熱処理により SiGe 中の歪を緩和させる方法である。本手法により、膜表面の凹凸化を抑制しつつ、SiGe/Si 基板界面にミスフィット転位を導入できることを実証し、従来法を凌駕する手法となりうることを示した。

3. まとめ

本稿では紙面の都合上本プロジェクトの一部の結果を示しただけであるが、そのほかにも配線材料、不揮発性メモリ用の強誘電体薄膜材料やゲート電極のためのメタルゲート作製技術、環境調和型プロセス用エッチング技術の開発を行った。また、薄膜形成過程における気相-固相反応・固相-固相反応を原子オーダーで観察するための表面その場観察技術や原子直視観察技術などの表面・界面評価技術も確立した。本プロジェクトでは、多岐材料・プロセス分野に亘って当初の目的以上の成果が得られ、産業化の礎を築くことができた。

主な発表論文

- (1) A. Tobioka, Y. Tsuchiya, H. Ikeda, A. Sakai, S. Zaima, J. Murota, Y. Yasuda: *Mat. Sci. Eng.* **B89** (2002) 373-377.
- (2) O. Nakatsuka, T. Ashizawa, K. Nakai, A. Tobioka, A. Sakai, S. Zaima, Y. Yasuda: *Appl. Surf. Sci.* **159-160** (2000) 149.
- (3) K. Ohmori, S. Zaima, Y. Yasuda: *Appl. Surf. Sci.* **162-163** (2000) 395.
- (4) Y. Shimamune, M. Sakuraba, T. Matsuura, J. Murota: *Appl. Surf. Sci.* **162-163** (2000) 390.
- (5) A. Sakai, K. Sugimoto, T. Yamamoto, M. Okada, H. Ikeda, S. Zaima, Y. Yasuda: *Appl. Phys. Lett.* **79** (2001) 3398.

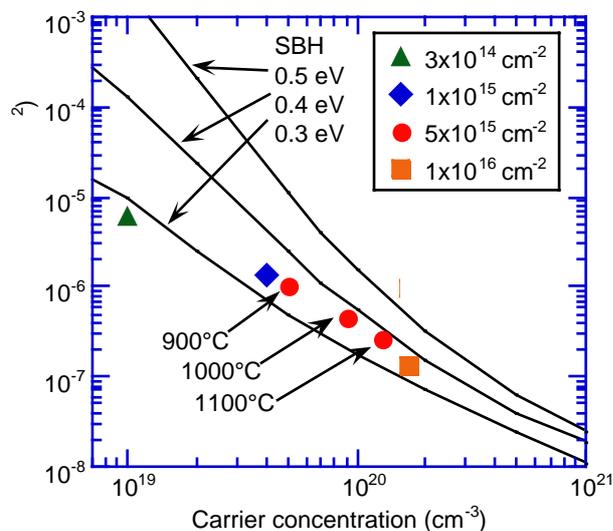


図3 CoSi₂/Si 系におけるコンタクト抵抗率とキャリア濃度の関係

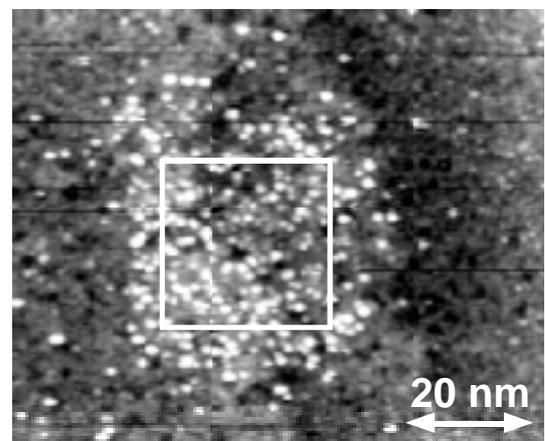


図4 電子注入後の SiO₂ 膜の STM 像