

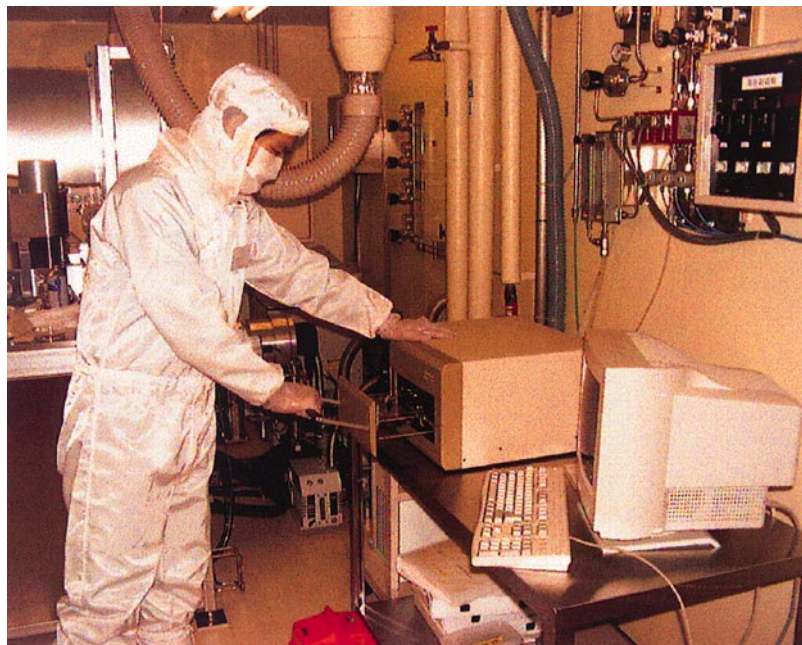
Research on Ultra Low-Power System LSI Technology

極低消費電力・新システム LSI 技術の開拓



プロジェクトリーダー 桜井 貴 康

東京大学 国際・産学共同研究センター
教授

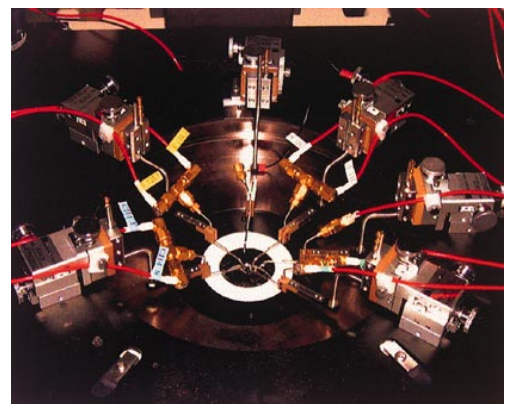


極薄ゲート酸化膜形成用ランプ加熱炉

1. 研究の目的

私たちの身のまわりにはさまざまな電子機器があふれ、デジタルマルチメディアやコンピューター、移動体通信などが切り開く高度情報化社会への移行が始まっています。そこで必要とされるのは、動画や音声などの各種情報を、いつでもどこでも誰でも扱えるような高度で多様な技術です。大規模集積回路 (LSI) は、このような情報インフラストラクチャーやツールを実現するための基盤となる部品であり、情報機器等の性能を決定する極めて重要な技術です。最近の携帯機器の爆発的普及により、LSI は高速・高機能であるばかりでなく、電池等で長時間利用できるような極めて低消費電力であることが必須となっています。また、高速・低消費電力でかつ小型、低価格という多面的なニーズに応えるためには、メモリや論理回路などを1つのチップに集積した新しいシステムを指向する必要があります。しかし、このような極低消費電力高速システム LSI を実現するための技術・学問はまだ確立しているとはいえず、LSI 設計の拠り所となる確固たる指針がないのが現状です。

本プロジェクトの目的は、産業界とも連携しながら国際的な視野に立って、回路・デバイス・システム技術やアーキテクチャを学術的に体系化するとともに、従来の枠にとらわれない新しい概念を提唱することによって、将来の極低消費電力高速・新システム LSI を実現するための設計指針を明確に示すことです。特に、現行の LSI より消費電力を2桁程度削減するため、0.5V という超低電圧で高速動作する回路技術、デバイス技術の確立を図ります。



デバイス特性評価用プローバー

2. 研究の内容

(1) 低電力高速回路アーキテクチャ

LSIの消費電力を削減するのに最も有効な方法は、電源電圧を下げることです。ところが、回路のスピードは大幅に低下してしまいます。0.5Vという低電源電圧でもトランジスタのしきい値電圧やリーク電流を適正に制御する方法で、0.5Vでも高速動作する回路方式を研究しています。また、ゆっくりで良い時には適応的に電圧を下げるといった新しいアーキテクチャで、従来より一桁以上電力を低減できるといった成果も出ています。低電源電圧動作ではLSI速度の温度特性が通常とは逆になるといった現象も確認されました。

(2) 0.5V動作の高性能デバイス

0.5V動作の集積回路を構成するデバイスもまた、低電圧で高性能である必要があります。低電圧での駆動力を大きくするために、SOI(Silicon on Insulator)基板を用いた新構造デバイスを提案しています。MOSトランジスタ特有の基板バイアス効果を有効に使い、デバイスの動作中にしきい値電圧を動的に変化させることにより、低電圧で高い駆動力と小さなリーク電流を同時に実現する構造です。このデバイスの動作の高性能動作を実証するため、極薄ゲート酸化膜等を用いて実際にデバイスを試作しています。また、デバイスが微細化されるほど増大する待機時の電力を低減するために、スケール則の異なるデバイスを組み合わせた新しいデバイス・回路方式についても検討を行っています。

(3) 配線遅延の削減

いくら回路動作が速くなっても、回路をつなぐ配線遅延が大きくなる傾向にあるので、これでは高速なLSIはできません。高速と低電力性を兼ね備えた配線遅延の削減化法を研究しています。まず、遅延時間の新しい解析法を提案するとともに、バッファ挿入という技法での高速、低電力化を推進しています。

(4) ばらつきを含めた回路設計

LSIの製造は、数百工程に及び個別プロセスを経て行われています。それぞれの工程には、何らかのばらつきが必ず存在します。そのため、製造後のデバイス特性もばらつきます。特性のばらつき量は、デバイスの微細化が進み電源電圧が低下するにつれ、大きくなっています。

また、大規模集積回路では、チップ上の場所により動作温度や電源電圧も変動しています。これらも特性変動につながります。LSI設計においては、これらのばらつきを正確に考慮して、必要十分な設計マージンを確保する必要があります。本研究では、デバイス特性ばらつきのモデル化と、そのモデルを用いてLSIの動作特性とその変動量を評価する手法を開発しています。更に、ばらつきを考慮しながら動作特性を最適化する技術も研究しています。

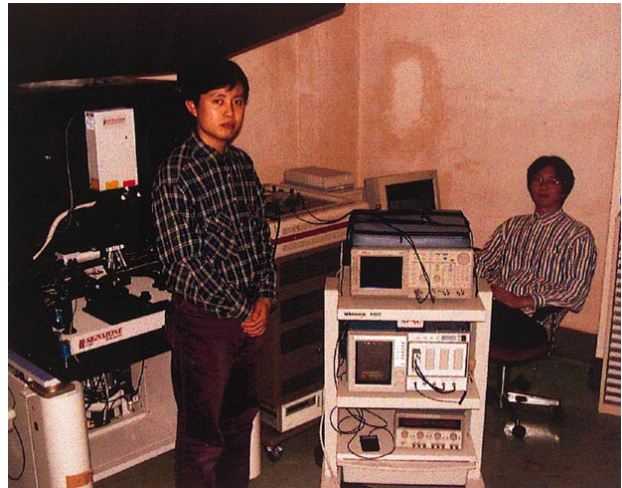
3. 研究の体制

期間：1998年6月～2003年3月

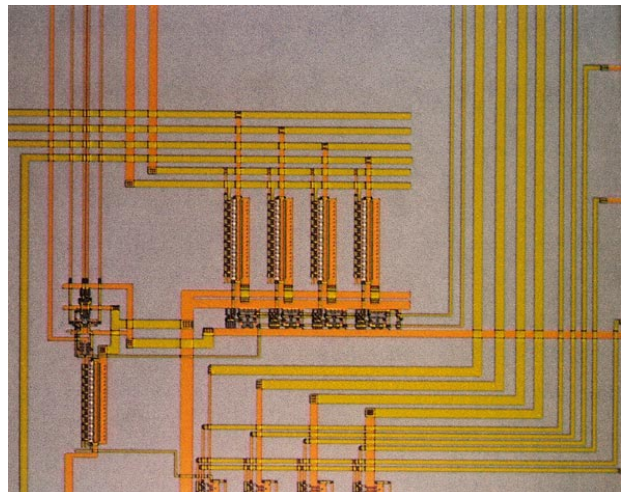
構成：プロジェクトリーダー 1名
コメンバ 2名

研究協力者 4名 他に産業界とも連携あり

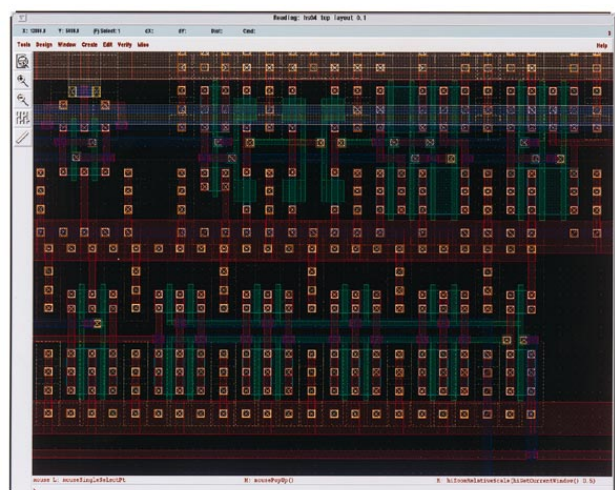
実施場所：東京大学国際・産学共同研究センター（東京大学生産技術研究所内）桜井研究室



半導体テスター



ホール効果を利用して電源線に流れるリーク電流値を非擾乱・非接触で測定できるデバイス



低電源電圧でもリーク電流を適正に制御する回路