

**先端研究助成基金助成金(最先端・次世代研究開発支援プログラム)
実施状況報告書(平成24年度)**

本様式の内容は一般に公表されます

研究課題名	ナノ半導体におけるキャリア輸送・熱輸送の統合理解によるグリーンLSIチップの創製
研究機関・部局・職名	慶應義塾大学・理工学部・教授
氏名	内田 建

1. 当該年度の研究目的

平成24年度(当該年度)は、(1) ナノ半導体・ナノ薄膜における熱伝導機構の解明とモデル化を行い、(2) ナノスケールの半導体薄膜をチャネルとする SOI(Silicon-On-Insulator: 絶縁膜上の単結晶シリコン薄膜) トランジスタ(SOI 膜厚 50nm 程度)の発熱評価を行う。また、(3) デバイス近傍における熱流の定量的理解を深め、配線による排熱効果のモデル化に取り組む。これらのデータをもとに(4) 熱に配慮したデバイス性能最適化手法の提案を行う。また、(5) 近年注目されているナノカーボン材料であるグラフェンの熱輸送モデル構築を目指した実験を行う。

2. 研究の実施状況

ナノ半導体におけるキャリア輸送・熱輸送の統合理解には、デバイスの熱特性を正確に評価することが必要である。我々は、デバイスの熱特性を評価する従来手法の問題点を指摘し、より精度の高い新手法を提案した。また、その有効性を実証するとともに、デバイス分野で世界最高峰の国際学会である IEDM (IEEE International Electron Devices Meeting) で発表した。

また、ナノスケール配線における熱伝導を計算するモデルを構築し、ナノスケール配線がデバイス温度へ及ぼす影響を考慮する方法を開発した。デバイスの熱特性を計算する手法を、上記で得られた実験データなどを活用し構築した。さらに、これらの計算手法を活用することにより、UTBB(Ultra-Thin Body and Buried oxide)とよばれる先端デバイス構造で、熱・電気の連成シミュレーションを高精度で行うことが可能となった。その結果、埋め込み酸化膜(Buried Oxide: BOX)とよばれるデバイス下部の酸化膜厚を厚くすると、熱の流れが悪くなることでデバイス温度が上昇し、高周波性能が劣化することが明らかになった。その一方で BOX の厚膜化は、電気的な寄生容量を小さくし、高周波性能を向上させる。これら2つの相反する効果が競合する結果、BOX 膜厚に最適値が存在することが明らかになった。

さらに、近年注目されているグラフェンの熱特性を調べるための実験を行った。その結果、ナノグラフェンでは熱伝導率が極度に劣化し、ジュール熱によってグラフェンの温度が極めて高く(1600℃以上)上昇することを見出した。また、この加熱を利用してグラフェンを変成することで、抵抗変化型不揮発性メモリを実現できることを示した。このように、ナノスケールにおける熱物性を探索した結果、ナノ材料の新たな可能性を開くことに成功した。

3. 研究発表等

<p>雑誌論文 計 5 件</p>	<p>(掲載済み一査読有り) 計 3 件</p> <ol style="list-style-type: none"> 1. T. Ohashi, S. Oda, and K. Uchida, "Physical Mechanisms of Enhanced Uniaxial Stress Effect on Carrier Mobility in ETSOI MOSFETs," <i>ECS Transactions</i>, vol. 50, no. 9, 171-174, 2012. 2. A. Shindome, Y. Doioka, N. Beppu, S. Oda, and K. Uchida, "Experimental Study of Two-Terminal Resistive Random Access Memory Realized in Mono- and Multilayer Exfoliated Graphene Nanoribbons," <i>Jpn. J. Appl. Phys.</i>, vol. 52, 04CN05, February 2013. (5 pages) doi:10.7567/JJAP.52.04CN05 3. T. Takahashi, N. Beppu, K. Chen, S. Oda, and K. Uchida, "Self-Heating Effects and Analog Performance Optimization of Fin-Type Field-Effect Transistors," <i>Jpn. J. Appl. Phys.</i>, vol. 52, 04CC03, February 2013. (6 pages) doi:10.7567/JJAP.52.04CC03 <p>(掲載済み一査読無し) 計 0 件</p> <p>(未掲載) 計 2 件</p> <ol style="list-style-type: none"> 4. T. Takahashi, S. Oda, and K. Uchida, "Methodology for Evaluating Operation Temperatures of Fin-Type Field-Effect Transistors Connected by Interconnect Wires," <i>accepted for publication in Jpn. J. Appl. Phys.</i> 5. T. Ohashi, S. Oda, and K. Uchida, "Impact of Deformation Potential Increase at Si/SiO₂ Interfaces on Stress-Induced Electron Mobility Enhancement in Metal-Oxide-Semiconductor Field-Effect Transistors," <i>Jpn. J. Appl. Phys.</i>, vol. 52, 04CC12 April, 2013. (6pages) doi:10.7567/JJAP.52.04CC12
<p>会議発表 計 24 件</p>	<p>専門家向け 計 24 件</p> <ol style="list-style-type: none"> 1. N. Beppu, S. Oda, and K. Uchida, "Experimental Study of Self-Heating Effect (SHE) in SOI MOSFETs: Accurate Understanding of Temperatures during AC Conductance Measurement, Proposals of 2-omega Method and Modified Pulsed IV," <i>Technical Digest of IEEE International Electron Devices Meeting (IEDM)</i>, San Francisco, CA, USA, Dec 8-10, pp641-644, 2012. 2. T. Ohashi, S. Oda, and K. Uchida, "Physical Mechanism of Enhanced Uniaxial Stress Effect on Carrier Mobility in ETSOI MOSFETs," <i>222nd ECS Meeting The SiGe, Ge, and Related Compounds Symposium</i>, E17~E25-01550, pp3118, Honolulu, HW, USA, October 7-12, 2012. 3. T. Takahashi, N. Beppu, S. Oda, and K. Uchida, "Optimization of 14-nm Node Bulk/SOI FinFETs for SoC Platform: Thermal Conductivity, Operation Temperatures, and Analog Performance Analysis," <i>International Conference on Solid-States Devices and Materials (SSDM)</i>, E-6-5L, pp823-824, September 25-27, 2012. 4. T. Ohashi, T. Takahashi, T. Kodera, S. Oda, and K. Uchida, "Experimental Observation of Record-high Electron Mobility of Greater than 1100 cm²V⁻¹s⁻¹ in Unstressed Si MOSFETs and Its Physical Mechanisms," <i>International Conference on Solid-States Devices and Materials (SSDM)</i>, E-5-1, pp807-808, September 25-27, 2012. 5. A. Shindome, Y. Doioka, N. Beppu, S. Oda, and K. Uchida, "Graphene ReRAM towards All Graphene LSIs: Experimental Demonstration of Two-terminal ReRAM Operation in Electrically Broken Mono- and Multi-layer Graphene," <i>International Conference on Solid-States Devices and Materials (SSDM)</i>, C-5-5L, pp690-691, September 25-27, 2012. 6. N. Beppu, T. Takahashi, T. Ohashi, and K. Uchida, "Impact of Poly Depletion on Accurate Evaluation of Self-Heating Effects in SOI MOSFETs with Four-point Gate Resistance Measurement Method", <i>The Eighth International Nanotechnology Conference on Communication and Cooperation</i>, Tsukuba, Japan, May 8-11, 2012. 7. T. Ohashi, T. Takahashi, S. Oda and K. Uchida, "Experimental Evidence of Increased Deformation Potential at MOS Interface and Its Impact on Characteristics of ETSOI FETs," <i>The Eighth International Nanotechnology Conference on Communication and Cooperation</i>, Tsukuba, Japan, May 8-11, 2012. 8. T. Takahashi, N. Beppu, K. Chen, S. Oda and K. Uchida, "Thermal-Aware Device Design of Nanoscale Bulk/SOI FinFETs," <i>The Eighth International Nanotechnology Conference on Communication and Cooperation</i>, Tsukuba, Japan, May 8-11, 2012. 9. K. Uchida, T. Takahashi, and N. Beppu, "Thermal-aware Device Design of Nano-scale FETs," <i>Tsukuba Nanotechnology Symposium (TNS '12)</i>, p10, Tukuba, Japan, July 26, 2012 (Invited). 10. K. Uchida, T. Takahashi, and N. Beppu, "Thermal-Aware Device Design of Nanoscale MOS Transistors," <i>2012 Asia-Pacific Workshop on Fundamentals and Applications of Advanced Semiconductor Devices (AWAD 2012)</i>, Naha, Japan, 8A-2, p288-289, June 29, 2012 (Invited). 11. K. Uchida and T. Ohashi, "Experimental Study on Deformation Potential at MOS Interface", <i>IEEE</i>

様式19 別紙1

	<p><i>International Conference on Solid-State and Integrated Circuit Technology (ICSICT), S13_01, Xian, China, Oct. 29 - Nov. 1, 2012 (Invited).</i></p> <p>12. T. Ohashi, S. Oda, and K. Uchida, "Impact of Deformation Potential Increase at Si/SiO₂ Interfaces on Stress-Induced Electron Mobility Enhancement in MOSFET," <i>IEEE EDS WIMNACT 37</i>, P-15, Tokyo, Japan, February 18, 2013.</p> <p>13. 高橋 綱己, 別府 伸耕, 小田 俊理, 内田 建, 「デバイスシミュレータを用いたナノスケール Bulk/SOI FinFET 熱等価回路モデルの導出」, 第 73 回応用物理学会学術講演会(2012 秋 愛媛大学・松山大学) 13.6 Si デバイス/集積化技術, 13p-F4-2, 2012 年 9 月 11-14 日(一般講演).</p> <p>14. 大橋 輝之, 高橋 綱己, 小寺 哲夫, 小田 俊理, 内田 建, 「ユニバーサル曲線を超える MOSFET 移動度の観測とその物理的起源の解明」, 第 73 回応用物理学会学術講演会(2012 秋 愛媛大学・松山大学) 13.6 Si デバイス/集積化技術, 13p-F4-12, 2012 年 9 月 11-14 日(一般講演).</p> <p>15. 新留 彩, 福田 祐樹, 小田 俊理, 内田 建, 「グラフェンナリボン抵抗変化型メモリの実現」, 第 73 回応用物理学会学術講演会(2012 秋 愛媛大学・松山大学) 17.3 新機能探索・基礎物性評価, 12p-C2-8, 2012 年 9 月 11-14 日(一般講演).</p> <p>16. 内田 建, 大橋 輝之, 別府 伸耕, 高橋 綱己, 角谷 直哉, 「MOS 界面における変形ポテンシャルに関する実験的研究」, 第 152 回シリコンテクノロジー分科会研究集会「最先端シリコンナノエレクトロニクスの動向と今後の展開」, つくば, 2012 年 9 月 4 日(招待講演)</p> <p>17. 高橋 綱己, 内田 建, 「FinFET 発熱解析によるアナログ特性最適化および素子温度モデル化」, 電気学会ナノエレクトロニクス集積化・応用技術調査専門委員会「ナノデバイスの熱管理工学」, 早稲田大学, 2012 年 11 月 30 日(招待講演)</p> <p>18. 新留 彩, 土井岡 優, 別府 伸耕, 小田 俊理, 内田 建, 「単層および多層グラフェンナリボン抵抗変化型メモリの実験的研究: 動作メカニズムの解明へ向けて」, 応用物理学会 薄膜・表面物理分科会・シリコンテクノロジー分科会共催特別研究会「第 18 回ゲートスタック研究会」, 静岡, 2013 年 1 月 24-26 日(一般講演).</p> <p>19. 内田建, 高橋綱己, 別府伸耕, 「熱に配慮した次世代集積回路のデバイス設計」, 日本学術振興会「先端ナノデバイス・材料テクノロジー第 151 委員会」平成 24 年度 第 4 回研究会「ナノスケールでの熱・エネルギーマネジメント技術」, 東京, 2013 年 2 月 4 日(招待講演).</p> <p>20. 内田建, 高橋綱己, 別府伸耕, 「立体構造 SOI デバイスの自己加熱とデバイスの熱配慮設計」, 第 157 回シリコンテクノロジー分科会研究集会「SOI 関連技術の最近の進展」, 東京, 2013 年 2 月 22 日(招待講演).</p> <p>21. 内田建, 「半導体技術ロードマップにおける新探求デバイス(Emerging Research Device)とシリコンのナノサイエンス」, (独)産業技術総合研究所 電子光技術研究部門 第 2 回電子光技術シンポジウム, 東京, 2013 年 3 月 5 日(特別講演).</p> <p>22. 大橋 輝之, 小田 俊理, 内田 建, 「歪みによる電子移動度向上へ MOS 界面における変形ポテンシャル上昇が与える影響」, 第 60 回応用物理学会学術講演会(2013 春 神奈川工科大学) 13.6 Si デバイス/集積化技術, 28p-G9-17, 2013 年 3 月 27-30 日(一般講演).</p> <p>23. 新留 彩, 別府 伸耕, 高橋 綱己, 小田 俊理, 内田 建, 「架橋・非架橋構造のグラフェン抵抗変化型メモリの書込・消去特性」, 第 60 回応用物理学会春季学術講演会(2013 春 神奈川工科大学) 17.3 新機能探索・基礎物性評価, 29p-G10-3, 2013 年 3 月 27-30 日(一般講演).</p> <p>24. 高橋 綱己, 別府 伸耕, 小田 俊理, 内田 建, 「熱配慮設計による FinFET アナログ特性の最適化」, 第 60 回応用物理学会春季学術講演会(2013 春 神奈川工科大学) 13.6 Si デバイス/集積化技術, 28p-G9-16, 2013 年 3 月 27-30 日(一般講演).</p> <p>一般向け 計 0 件</p>
<p>図書</p> <p>計 0 件</p>	<p>特になし。</p>
<p>産業財産権 出願・取得状 況</p> <p>計 0 件</p>	<p>(取得済み) 計 0 件</p> <p>(出願中) 計 0 件</p>

様式19 別紙1

Webページ (URL)	内田研究室ホームページ: http://www.ssn.elec.keio.ac.jp
国民との科 学・技術対話 の実施状況	<p>表題 「ナノスケール熱工学によるグリーンLSI」</p> <p>実施日 平成 24 年 12 月 7 日 10 時～18 時</p> <p>場所 東京国際フォーラム 地下 2 階 展示ホール</p> <p>対象者 一般</p> <p>参加者数 約 1000 名</p> <p>内容 ナノスケールの電子デバイスを集積化した LSI は、大きな電流をナノスケールの小さな空間に流すため、自己加熱とよばれる発熱現象の影響を強く受けています。我々は、この自己加熱によって生じた熱を、積極的に生かしたり、あるいはうまく逃がしたりすることで、地球環境に優しいグリーンな LSI の実現を目指しています。</p> <p>また、一般への研究成果の発信のため、YouTube による公開のための、研究室紹介ビデオの撮影を行った。</p>
新聞・一般雑 誌等掲載 計 0 件	特になし。
その他	特になし。

4. その他特記事項

実施状況報告書(平成24年度) 助成金の執行状況

本様式の内容は一般に公表されません

1. 助成金の受領状況(累計)

(単位:円)

	①交付決定額	②既受領額 (前年度迄の 累計)	③当該年度受 領額	④(=①-②- ③)未受領額	既返還額(前 年度迄の累 計)
直接経費	132,000,000	77,540,000	37,500,000	16,960,000	0
間接経費	39,600,000	23,262,000	11,250,000	5,088,000	0
合計	171,600,000	100,802,000	48,750,000	22,048,000	0

2. 当該年度の収支状況

(単位:円)

	①前年度未執 行額	②当該年度受 領額	③当該年度受 取利息等額 (未収利息を除 く)	④(=①+②+ ③)当該年度 合計収入	⑤当該年度執 行額	⑥(=④-⑤) 当該年度未執 行額	当該年度返還 額
直接経費	3,578,587	37,500,000	0	41,078,587	40,168,341	910,246	0
間接経費	1,071,567	11,250,000	0	12,321,567	12,321,567	0	0
合計	4,650,154	48,750,000	0	53,400,154	52,489,908	910,246	0

3. 当該年度の執行額内訳

(単位:円)

	金額	備考
物品費	29,567,839	デュアルチャンネルプログラマブルフィルタ ほか
旅費	1,960,830	Ge&RelatedCompoundsSymposium ほか
謝金・人件費等	205,174	研究開発協力者への謝金
その他	8,434,498	クリーンルーム設置に伴う工事 ほか
直接経費計	40,168,341	
間接経費計	12,321,567	
合計	52,489,908	

4. 当該年度の主な購入物品(1品又は1組若しくは1式の価格が50万円以上のもの)

物品名	仕様・型・性能 等	数量	単価 (単位:円)	金額 (単位:円)	納入 年月日	設置研究機関 名
デュアルチャンネルプログラマブルフィルタ	3628	1	960,750	960,750	2012/7/23	慶應義塾大学
低リークスイッチメインフレーム	E5250A	1	542,745	542,745	2012/11/6	慶應義塾大学
電子ビーム式真空蒸着装置	SVC-700LEB/4G	1	13,993,665	13,993,665	2013/2/8	慶應義塾大学
ドラフトチャンパー	S.V-120TN	1	2,992,500	2,992,500	2012/12/27	慶應義塾大学
超音波熱圧着ウエッジワイヤーホルダー	7476D	1	2,940,000	2,940,000	2012/12/20	慶應義塾大学
乾式ドラフトチャンパー	特型	1	1,690,500	1,690,500	2013/2/27	慶應義塾大学