

科学研究費補助金（特別推進研究）公表用資料
〔研究進捗評価用〕

平成 18 年度採択分

平成 20 年 3 月 31 日現在

研究課題名（和文）超高速・超低消費電力バランスドフル CMOS
システム LSI の研究

研究課題名（英文）Balanced Full CMOS LSI for Ultra High
Performance and Ultra Low Power Consumption

研究代表者

氏名 大見忠弘 (Ohmi Tadahiro)

東北大学・未来科学技術共同研究センター・教授



研究の概要： 3.8GHz クロックで動作速度の高速化が完全に停滞した現状のシリコン技術、デジタル・アナログ・高周波混載システム LSI は Bi-CMOS でしか製造できないため工程数、チップ面積が倍増し、低価格化も高性能化もまさに程遠い現状のシリコン技術、これらの厳しい行き詰まり状況を克服し、何 10 倍もの高速化を実現すると共にデジタル・アナログ・高周波混載システム LSI を Bi-CMOS ではなくフル CMOS で可能とする新しいバランスド CMOS を創出し、ばらつき・雑音を 2 桁以上低減することで超高速 (10GHz クロック以上)・超低消費電力 (1/10 以下へ) システム LSI の世界を具現化する。

研究分野：工学

科研費の分科・細目：電気電子工学・電子デバイス

キーワード：半導体製造プロセス、MOSFET、LSI

1. 研究開始当初の背景

21 世紀のエレクトロニクス情報通信分野の主流となる情報家電（デジタルコンシューマ）技術は、超小型で超高性能かつ超低消費電力動作を可能にするデジタル・アナログ・RF（高周波）混載のシステム LSI を要求している。しかし、現状の半導体技術ではデジタル回路部は CMOS で構成し、アナログ・RF 回路部はバイポーラ（Bipolar）で構成する BiCMOS 構造とせざるを得ないため、工程数やチップ面積が倍増し、性能が殆どまったく向上しない。さらに、現状の半導体技術では Si (100)面にしか集積回路が作成できないため、pMOSFET と nMOSFET の性能がアンバランスであり、アナログ回路の動作速度向上が困難である。

2. 研究の目的

本研究の目的は、こうした現状のシリコン CMOS LSI の欠点を全て克服するために 10GHz を超える周波数まで動作するシリコンバランスドフル CMOS デジタル・アナログ・RF 混載システム LSI を創出することにある。従来まったく不可能であった直接窒化 Si_3N_4 ゲート絶縁膜と (110)面<110>方向 p-MOSFET を導入することにより動作速度・動作周波数を略々 1 桁向上させると共に、n-MOSFET と p-MOSFET の寸法を一致させたバランスド CMOS 構成を新たに導入す

ることによりアナログ動作のダイナミックレンジとデジタル回路の面積低減と動作速度を劇的に向上させる。

3. 研究の方法

本研究課題に掲げる超高速・超低消費電力のシステム LSI を実現するには、MOSFET の性能を徹底的に向上させるとともに、トランジスタ特性ばらつきや $1/f$ ノイズを低減することが必要不可欠である。すなわち、MOSFET の電流駆動能力（相互コンダクタンス）を最大にすることが重要な技術課題となる。これに対し、本研究では、MOSFET のチャネル移動度を向上させるために、(A-1) Accunulation-mode MOSFET の導入によるクーロン散乱の抑制、(A-2) (110)面の導入によるフォノン散乱の抑制 (pMOSFET)、(A-3) ゲート絶縁膜/シリコン基板界面の原子オーダー平坦化によるラフネス散乱の抑制を実現する。さらに、(B) ソース・ドレインの直列抵抗を 2 桁低減し実効相互コンダクタンスの向上を実現する。

4. これまでの成果

(1) 上記研究のきゅ方法で述べた研究課題に対し、その有効性を確認するためにシミュレーションによる検証を実施した。(A-1) ~ (A-3) および (B) を導入した MOSFET の電流電圧特性をシミュレーションして結果、すべての技術を実現することにより MOSFET の

〔4. これまでの成果 (続き)〕

電流駆動能力を劇的に向上させるとともに pMOS と nMOS がバランスしたバランスド CMOS が実現可能であることを明らかにした。さらに、4 入力 NOR 回路を 10 段接続した信号伝播の応答性能のシミュレーション結果を図 1 に示す。本研究における開発技術を導入した MOSFET では 50GHz の動作クロックでも十分な応答性能が得られることを明らかにした。

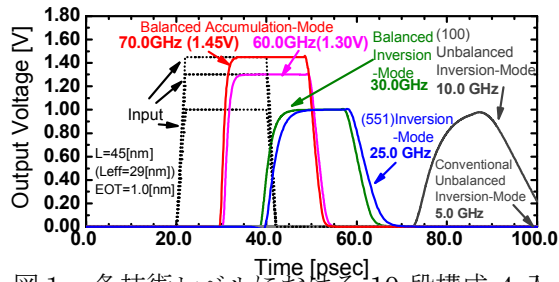


図 1 各技術レベルにおける 10 段構成 4 入力論理ゲートの信号応答速度

(2) (110)面に Accumulation-mode nMOS、(110)面に Inversion-mode pMOS トランジスタを作製し電気的特性を評価した結果、従来の(100)面の Inversion-mode MOS トランジスタと比較し、電流駆動能力の向上、および nMOS と pMOS のバランスしたバランスド CMOS が実現可能であることを実証した。Accumulation Mode MOS トランジスタの方がいずれも略略 1 桁 1/f 雑音が小さくなることが明らかにされた。

(3) Si (100) 面ウェハを酸素および水分を徹底的に減らした Ar 雰囲気中 1200°C で熱処理を行うことにより、図 1 に示すようにウェハ表面が Si 原子 1 層 (0.135nm) のステップと凹凸の無いテラスから形成される原子オーダーで平坦な表面の形成を実現した。

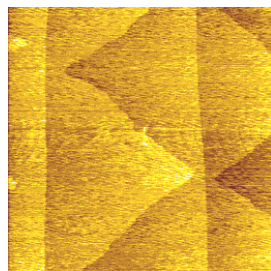


図 2 原子オーダー平坦シリコン表面の AFM 像

得られた原子オーダー平坦表面を従来の熱酸化法により酸化膜を形成すると、酸化膜/シリコン基板界面が荒れてしまうのに対し、酸素ラジカルにより形成した酸化膜/シリコン基板界面は原子オーダーの平坦性を保つことを明らかにした。また、従来の RCA 洗浄ではシリコン表面が荒れてしまうのに対し、アルカリ水溶液を使用しない室温 5 工程洗浄では、ラフネスを増加させないことを明らかにした。上記原子オーダー平坦化、室温 5 工程洗浄、ラジカル酸化膜を含む新しい製造技術を用いて MOSFET 作製し、電気的特性を評価した結果、ゲート絶縁

耐圧の向上 (14.8eV→16.3eV)、S 値ばらつきの低減 (1.8mV/dec→0.3mV/dec)、1/f ノイズの 2 桁低減、に極めて有効であることを明らかにした。

(3) MOSFET のソース・ドレイン領域との低抵抗コンタクトを実現するためには、従来の n⁺、p⁺シリコン層に対し同一の電極材料を用いた構造に代わり、n⁺、p⁺シリコン層と電極材料との仕事関数差を 0.3eV 以下する電極材料を n⁺、p⁺シリコン層に対し選択することが重要であることを明らかにした。また、PMOSFET を作製し、ソース・ドレインコンタクト抵抗を評価した結果、電極材料として Pd₂Si を選択すること、および p+領域へのダメージを抑制することにより、コンタクト抵抗率を 7.97×10⁻¹⁰Ω cm² まで低減可能であることを明らかにした。

5. 今後の計画

(1) 原子オーダーで平坦化した Si(100) 面および Si(551) 面に形成した MOSFET の電気的特性評価において、従来の静特性評価に加え、高精度・高感度なノイズ測定・評価を行い、従来デバイスに対する優位性を検証する。

(2) 三次元構造を作るためのエッチング技術、表面平坦化・ラフネスを増加させない処理技術、および三次元構造の側壁平坦度評価技術、絶縁膜形成技術を確認し、これらの要素技術を基に、CMOS 回路を作製し優位性を検証する。

(3) p+高濃度シリコン上に低接触抵抗となる適切な仕事関数材料を用いて、Si/Metal または Si/Silicide のショットキー接合デバイスを作製し、製造プロセスと抵抗値の両面から最適な低接触抵抗材料を決定するとともに、低抵抗コンタクトを導入した CMOS を作製し、その有効性を実証する。

(4) (1)、(2)、(3) の技術を総括した CMOS デバイス製造プロセスの検討と、デバイス性能の有効性を実証する。

6. これまでの発表論文等 (受賞等も含む)

(研究代表者は太字、研究分担者には下線)
Tadahiro Ohmi, Akinobu Teramoto, Rihito Kuroda, and Naoto Miyamoto, "Revolutional Progress of Silicon Technologies Exhibiting Very High Speed Performance Over a 50-GHz Clock Rate", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.54, NO.6, pp.1471-1477, June 2007.

他 11 件

ホームページ等

[http:// www.fff.niche.tohoku.ac.jp](http://www.fff.niche.tohoku.ac.jp)