

【基盤研究(S)】

理工系(工学)



研究課題名 layer transfer による高移動度材料 3次元集積 CMOS の精密構造制御

東京大学・大学院工学系研究科・教授

たかぎ しんいち
高木 信一

研究課題番号：17H06148 研究者番号：30372402

研究分野：電気電子材料工学

キーワード：MOSFET、ゲルマニウム、III-V 族半導体

【研究の背景・目的】

近年、集積回路に用いられる CMOS の微細化の物理限界はより明白となり、集積度の向上と性能向上の両立は極めて難しくなっている。この観点から、性能を損ねずに集積度を高める方法として、CMOS を 3 次元的に積層していくことが検討されている。本研究では、図 1 に一例を示すような、将来の微細 CMOS 構造として極めて有望な高移動度チャンネル材料による 3 次元集積 CMOS を実現するために必要な (1) layer transfer によるチャンネル形成技術、(2) ソースドレイン (S/D) 形成と 3 次元コネクティビティ技術、(3) MOS 界面制御技術 の手法と学理を創出し、ナノメートルレベルでの精密構造制御手法を確立することにより、3 次元集積 CMOS の動作を実現すると共に、将来世代の微細 CMOS 適用のための道筋を明らかにする。

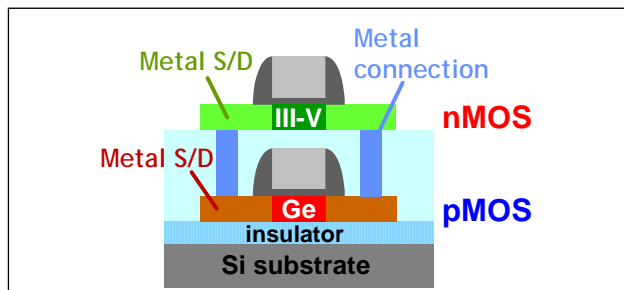


図 1 3次元集積 CMOS の一例

【研究の方法】

上記の要素技術を確認し、集積構造として組み合わせることにより、3次元集積 CMOS を実証してその有用性を明確化する。具体的な内容を以下に示す。

(1) layer transfer によるチャンネル形成技術
極薄、高平坦性かつ結晶性に優れた GOI 層/III-V-OI 層を、smart cut 法や epitaxial lift-off 法などの手法を最適化することにより実現すると共に、極薄半導体チャンネルの電子物性を包括的に明らかにする。

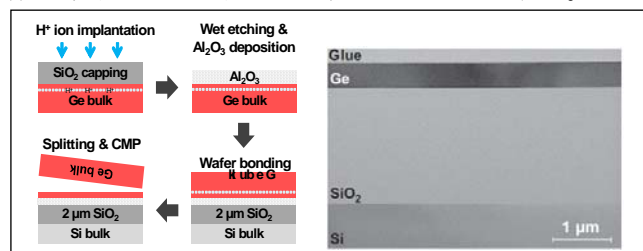


図 2 Smart cut 法による貼り合せ GOI 作製方法と作製された GOI 構造の一例

(2) 低温ソースドレイン (S/D) 形成と 3 次元 CMOS コネクティビティ技術

極薄 Ge/III-V チャンネルに対し、低温形成でき制御性の高いメタル S/D 材料・プロセスを見出し、メタル SD/反転層界面抵抗を極小化すると共に、多層チャンネル SD のコネクティビティ技術を創出する。

(3) 高品質 MOS 界面形成技術

GOI/III-V-OI MOS 界面欠陥を最小化し高移動度が実現できる MOS 界面制御技術を確認し、その体系化を行う。

【期待される成果と意義】

・将来世代において極めて有望な 3 次元集積 III-V/Ge CMOS 構造の実現に向けて、精密かつ最適な構造形成技術・構造制御技術を、その基礎学理の確立を通して実現することを目指す。

・ナノサイズの 3 次元的なコンタクトや異種材料の界面の物性を学術的に明確化する。

・CMOS 性能向上や実証のみならず、将来の 3 次元的なデバイス設計を可能とする異種材料転写技術の高度化と多様化に向けた展開を視野にいれ、その応用可能性を広げる。

・III-V/Ge CMOS 技術としてこれまで培われてきた要素技術を将来の素子実現に向けて集大成し、その基礎物性から製造技術・素子設計技術まで、包括的な体系化を目指す。

【当該研究課題と関連の深い論文・著書】

・S. Takagi et al., “III-V/Ge Channel MOS Device Technologies in Nano CMOS era”, Jpn. J. Appl. Phys., vol. 54, 06FA01 (2015)

・T. Irisawa, T. Maeda et al., “Demonstration of Ultimate CMOS based on 3D Stacked InGaAs-OI/SGOI Wire Channel MOSFETs with Independent Back Gate”, 2014 Symposium on VLSI Technology, 146 (2014)

【研究期間と研究経費】

平成 29 年度 - 33 年度 158,900 千円

【ホームページ等】

<http://www.mosfet.k.u-tokyo.ac.jp/>