

【基盤研究(S)】

総合系 (情報学)



研究課題名 脳型コンピューティング向けダーク・シリコンロジック LSI の基盤技術開発

東北大学・電気通信研究所・教授 はにゅう たかひろ
羽生 貴弘

研究課題番号：16H06300 研究者番号：40192702

研究分野：情報学

キーワード：計算機システム

【研究の背景・目的】

脳型コンピューティング向けダーク・シリコンロジック LSI の基盤技術を開発する。脳型コンピューティングは、人間の脳情報処理方式を真似た空間的超並列構造を実現することで、高速化と超低消費電力化を両立させる可能性を有している。しかし、このハードウェア構造を実現するためには、大局的な情報通信を徹底的に排除し、局所的演算の連鎖のみで処理を完結させる。極細粒度制御方式に基づくシステム構築が不可欠である。

本研究では、脳情報処理で本質的に利用されている非同期制御に着目し、かつ非稼働部を徹底的に電源オフするというダーク・シリコン設計思想を適用する。これにより、パワーゲーティング機能に適する非同期回路構造とその動作原理を構築し、実用的脳型コンピューティング実現への可能性を開く。

【研究の方法】

ゲート単位電源瞬断可能なダーク・シリコン非同期ロジック LSI 基盤技術 (図1) を構築し、原理実証するため、以下の項目について研究開発する：

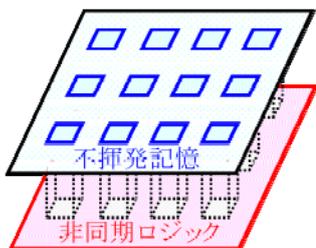


図1 提案のダーク・シリコン LSI の実現イメージ

- 1)ダーク・シリコン非同期基本論理ゲートの構成 (図2) とその小規模演算回路の設計、並びに CMOS 等価集積回路による原理動作検証 (H28 年度～H29 年度)。
- 2)不揮発デバイスを実装したダーク・シリコン非同期基本論理ゲート集積回路の設計・試作とその原理動作検証 (H29 年度～H30 年度)。
- 3)ダーク・シリコン非同期論理ゲートを用いた低次視覚情報処理システムの構成とその性能評価 (H30 年度～H32 年度)。

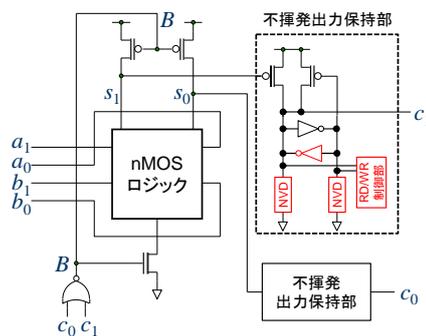


図2 提案のダーク・シリコン非同期基本論理ゲートの構成原理

【期待される成果と意義】

非同期回路と MTJ 素子に基づくパワーゲーティング技術を融合し、超低消費電力化を図る回路技術に関する取り組みは国内外を通じて世界初である。回路の動作状態を自律的に検知する機能は、非同期制御の本質的機能である。この機能を活用して無駄な電力消費を徹底的に削除することができるため、Internet of Things 時代を迎えた現在、スマートセンサ (センサと処理回路が一体化した高機能なセンサ) 実現に必須の集積回路技術の基盤になるものと考えられる。

【当該研究課題と関連の深い論文・著書】

- T. Hanyu, et al., "Spintronics-Based Nonvolatile Logic-in-Memory Architecture Towards an Ultra-Low-Power and Highly Reliable VLSI Computing Paradigm," *Proc. 2015 DATE Conference*, pp. 1006-1011, Mar. 2015 (invited).
- T. Hanyu, et al., "Standby-Power-Free Integrated Circuits Using MTJ-Based VLSI Computing," *Proc. of the IEEE*, 2016 (to appear).

【研究期間と研究経費】

平成 28 年度～32 年度 127,100 千円

【ホームページ等】

<http://www.ngc.riec.tohoku.ac.jp>
hanyu@riec.tohoku.ac.jp