

## 断熱モード単一磁束量子回路の導入によるサブ $\mu\text{W}$ マイクロプロセッサの研究

Study on Sub- $\mu\text{W}$  Microprocessors using Adiabatic Single-Flux-Quantum Circuits

吉川 信行 (YOSHIKAWA NOBUYUKI)

横浜国立大学・大学院工学研究院・教授



### 研究の概要

高速低消費電力で知られる SFQ 回路の極限的な低消費電力化を目指す。断熱モード動作などの回路的ブレイクスルーに加え、アーキテクチャやプロセスも含めたすべての知見を導入する。これにより、SFQ 回路の消費電力を従来の  $1/400$  から  $1/10^5$  に低減する。これまでの研究により、極限的な低消費エネルギー化を可能とする断熱モード SFQ 回路の基本性能が明らかとなった。

研究分野：電子デバイス・電子機器

科研費の分科・細目：電気電子工学、電子デバイス・電子機器

キーワード：電子デバイス、集積回路、SFQ、QFP

### 1. 研究開始当初の背景

CMOS 集積回路の性能は、今や自身の発熱により制限されている。発熱の問題の抜本的解決には、論理動作自体を低消費電力化する以外にない。超伝導リング中の量子化された磁束を情報担体とする単一磁束量子 (Single Flux Quantum: SFQ) 回路は、 $100\text{GHz}$  を超える高速動作が可能でありながら、その消費電力は半導体に比べて  $3\sim 4$  桁小さい。そのため、高性能計算機などの大規模なデジタルシステムの実現を最終目標とし、欧米諸国と日本を中心に研究が進められている。

### 2. 研究の目的

本研究では、高速低消費電力で知られる SFQ 回路の極限的な低消費電力化を目指す。断熱モード動作など、低消費電力化への回路的ブレイクスルーを中心に、アーキテクチャ、プロセスも含めすべての知見を導入する。これにより、SFQ 回路の消費電力を従来の  $1/400$  から  $1/10^5$  に低減する。本研究では、これらの技術を確立し、最終的に  $50\mu\text{W}$  で動作する  $16\text{b}$  マイクロプロセッサの動作実証を行う。加えて、学術的にも未踏領域となる高性能サブ  $\mu\text{W}$  マイクロプロセッサを実現する基盤技術を確立する。

### 3. 研究の方法

本研究は、断熱モード動作に基づく低消費電力化法を用いて超低消費電力 SFQ 回路の原理実証を行う。加えて、インダクティブロード技術、ゲート間受動線路 (PTL) 配線技術、サブ  $\mu\text{m}$  接合プロセスによる臨界電流低

減技術、非同期アーキテクチャ技術を SFQ 大規模集積回路の設計に適応する。

図 1 に示すように提案する断熱モード SFQ 回路は、QFP (Quantum Flux Parametron) と同様な回路構成をとるが、スイッチングに際してヒステリシスを持たない回路パラメータを利用することにより断熱的な状態変化を可能とする。本回路は、断熱モード動作により原理的に  $\text{kbT}$  熱雑音程度 ( $\sim 10^{-22}\text{J}$ ) のエネルギーでの論理動作が可能である。

### 4. これまでの成果

断熱モード QFP 回路の研究では、本手法

### 断熱モードSFQ回路の動作原理

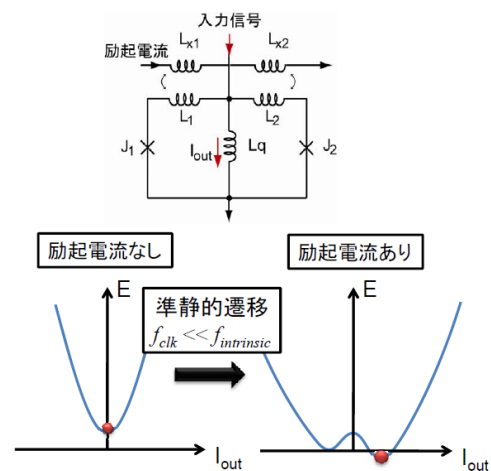


図 1 断熱モード SFQ 回路の動作原理

により演算回路の消費エネルギーを極限的に低減できることを明らかにした。断熱モード QFP 回路のパラメータ条件と消費エネルギーの検討を行い、回路が断熱モードで動作するための回路パラメータ条件を明らかにした[1]。また、回路の動作スピードと消費電力の関係を調べ、回路の消費エネルギーが動作スピードに対して比例的減少することを示した。更に有限温度での断熱モード QFP 回路のビット誤り率をシミュレーションにより評価し、有限温度においても断熱モード QFP 回路が安定に動作することを示した[2]。

次に断熱モード QFP 回路の消費エネルギーの実験的評価を行った[3]。超伝導共振器と断熱モード QFP 回路を結合することにより、回路の消費エネルギーを測定し、5GHz 動作に対して 10zJ/bit の値を得た。この数値は従来の SFQ 回路に対して 100 倍以上、また最新の CMOS 回路に対しても 5 桁以上小さい。

また、断熱モード QFP の基本ゲートならびにそれらを用いた 1b 全加算器の動作実証を行い(図2参照)[4]。これらの回路について十分に広い動作余裕度での動作を確認した。また、エネルギー回収可能なオンチップ交流電源を開発し、その動作実証を行なうとともに[5]、本電源を用いて断熱モード QFP 回路の 5GHz での正常動作を確認した[6]。

以上の研究成果は、断熱モード動作に基づいて  $k_B T$  程度のエネルギーで高速演算が可能な論理素子の基本特性を明らかにしており、本領域における新パラダイムを構築できた。

一方、インダクティブロード技術の導入、ゲート間受動線路 (PTL) 配線技術の積極導入、微細化によるジョセフソン接合の臨界電流の低減の3つの方法を統合化した低消費電力 SFQ 回路の開発を並行して行った。実験では、シフトレジスタ回路において、従来の 1/500 までの消費電力の低減化に成功した[7]。

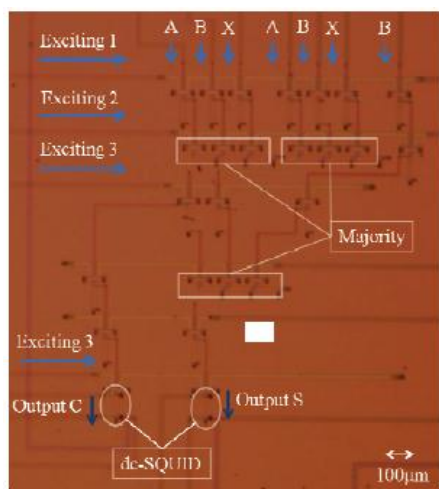


図2 断熱モード QFP 回路を用いた 1b 全加算器の顕微鏡写真

以上の技術を導入した各論理ゲートのセルライブラリ化を行い、算術演算回路 (ALU) の設計・評価を行った。

プロセスの微細化技術の研究開発では、現在の臨界電流値を約 30%に低減できることを示した。この技術は前述の SFQ 回路の低消費エネルギー化に用いられている[8]。

## 5. 今後の計画

最終年度までに 8b carry look-ahead adder 等の断熱モード QFP 演算器の低消費電力駆動を実証し、サブ  $\mu W$  マイクロプロセッサ実現のための基盤技術を確立する。また、統合化した低消費電力化技術に基づいて 50  $\mu W$  動作 16b SFQ マイクロプロセッサの動作実証を行う。

## 6. これまでの発表論文等

- [1] N. Takeuchi, D. Ozawa, Y. Yamanashi and N. Yoshikawa, "An adiabatic quantum flux parametron as an ultra-low-power logic device," *Supercond. Sci. Tech.*, 26, 035010 (2013).
- [2] N. Takeuchi, Y. Yamanashi and N. Yoshikawa, "Measurement of 10 zJ energy dissipation of adiabatic quantum-flux-parametron logic using a superconducting resonator," *Appl. Phys. Lett.*, 102, 052602 (2013).
- [3] K. Inoue, N. Takeuchi, K. Ehara, Y. Yamanashi, and N. Yoshikawa, "Simulation and Experimental Demonstration of Logic Circuits Using an Ultra-low-power Adiabatic Quantum-flux-parametron," *IEEE Trans. Appl. Supercond.*, 23 1301105 (2013).
- [4] T. Mukaiyama, N. Takeuchi, Y. Yamanashi and N. Yoshikawa, "Design and Demonstration of an On-chip AC Power Source for Adiabatic Quantum-Flux-Parametron Logic," *Supercond. Sci. Tech.*, vol. 26, 035018, (2013).
- [5] T. Mukaiyama, N. Takeuchi, Y. Yamanashi and N. Yoshikawa, "Operation of an Adiabatic Quantum-Flux-Parametron Gate Using an On-chip AC Power Source," *IEEE Trans. Appl. Supercond.*, vol. 23, 2013, *in press*.
- [6] M. Tanaka, M. Ito, A. Kitayama, T. Kouketsu, and A. Fujimaki, "18-GHz, 4.0-aJ/bit Operation of Ultra-Low-Energy Rapid Single-Flux-Quantum Shift Registers," *Japanese Journal of Applied Physics* 51, 053102 (2012).
- [7] M. Hidaka, S. Nagasawa, K. Hinode, and T. Satoh, "Device Yield in Nb-Nine-Layer Circuit Fabrication Process," *IEEE Trans. Appl. Supercond.*, 23, 1100906 (2013).

ホームページ等

<http://www.yoshilab.dnj.ynu.ac.jp/jpn/>