

チップ間無線通信を用いた高認知度処理システムの 三次元集積アーキテクチャ

Three Dimensional Integration Architecture for Highly Sophisticated Recognition System Utilizing Wireless Interconnections

岩田 穆 (Atsushi Iwata)

広島大学・大学院先端物質科学研究科・教授



研究の概要

デバイス微細化に依存しない集積技術構築のために、無線インタコネク技術を適用して、積層チップ間全体でテラビット/秒の情報転送能力を持つ三次元集積技術を確立する。また、生体情報処理原理などに基づいて、連想メモリの距離評価尺度と学習機能の拡張を図るとともに、画像から物体の検出・認識を行うアルゴリズムを開発し、三次元集積に適したアーキテクチャを構築する。

研究分野：工学

科研費の分科・細目：電気電子工学、電子機器・電子デバイス

キーワード：三次元集積、無線通信、連想メモリ、電磁結合、物体認識

1. 研究開始当初の背景・動機

微細化のみに依存しない三次元集積技術が必要になってきた。チップ間のインタコネク技術が鍵となるので、無線インタコネクを導入した三次元集積技術が注目されている。また、画像から物体や顔を検出・認識するアルゴリズムが研究されているが、ロボットなどに搭載するには集積化による小型化が必須であるので、連想メモリの応用、画像から物体を検出・認識するアルゴリズムの開発と三次元集積アーキテクチャの構築が望まれている。

2. 研究の目的

チップ間無線通信を導入した高認知度処理システムの三次元集積アーキテクチャ。これまで三次元集積技術が研究開発されてきたが、チップ間貫通金属配線、高精度なチップ積層、放熱、歩留まり等の課題を解決できていない。これらを解決するために複数チップ間を広帯域の無線で通信する三次元集積アーキテクチャを提案する。三次元の接続をフレキシブルに再構成可能にして、この特徴を活用して生体処理原理による高適応ビジョンや高度な脳機能の実現を目指す。

3. 研究の方法

(1)回路構成および情報処理アーキテクチャを考案し、テストチップやプロトタイプ的设计・試作により性能を評価することにより、基盤技術として確立する。

(2)信号発生器、ネットアークアナライザなどの高周波特性の測定器、設計用のCAD計算機を購入して、新構造に対する高精度な測定・設計を可能にした。

4. 研究の主な成果

(1)チップ間無線通信方式と三次元集積デバイスの研究

- ・インダクタを用いたチップ間無線通信回路の試作評価を行った。0.18um CMOS技術を用い、インダクタ間距離50umの場合、100umのインダクタで、低電力動作では、ビットレート1 Gb/s、消費電力1mWの性能を実現した。また、速度優先の設計では、ビットレート2.4Gb/sの高速動作も実験的に確認した。
- ・インダクタ対による電磁結合ローカル無線通信とアンテナによる電磁波結合によるグローバル無線通信を併用した三次元集積システム(3DCSS)を提案し、その基本設計およびプロトタイプ試作で、動作原理を実証した。
- ・インダクタによる負荷および結合を用いた超高周波数の定在波発振器の構成提案とCMOS試作・評価を行い、10GHz以上で高品質な発振特性を得た。

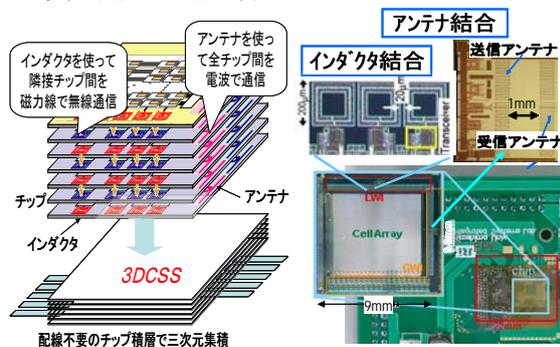


図1 無線インタコネク三次元集積システム

(2) チップ間無線通信を活用した高認知度処理システム技術の研究

- ① 全並列最小距離検索連想メモリとそれを用いたオブジェクトマッチング処理技術の開発
アナ・デジ融合連想メモリを活用して、画像認識に不可欠なパターンマッチング処理の高機能化、高性能、超低電力化を達成した。
 - ・連想検索ベース複数物体追跡アーキテクチャの開発・連想検索により、フレーム間で静止物体と動物体それぞれのマッチングをとることを実現した。
 - ・複数の距離検索機能の連想メモリの開発
通常のハミング距離に加えて、アナログ方式によるマンハッタン距離、ユークリッド距離演算回路を考案して、並列演算による高速検索を実現した。
- ② 三次元集積画像認識ビジョンプロトタイプ試作評価し、基本動作を確認、また要素回路と耐雑音設計を確立
 - ・3種の画像処理チップ(画像前処理チップ、画像特徴検出・認識チップ、参照メモリチップ)をインダクタ電磁結合によるローカル通信で結合する三次元集積ビジョンシステムのプロトタイプを設計・試作した。通信機能の基本動作を確認した。FPGAエミュレーションにより100物体/秒の高速の認識性能を確認した。
 - ・要素回路として低電圧動作アンプや高品質のVCOを開発した。
- (3) ロボット等における脳機能の処理アルゴリズムとシステム化
 - ① 連想メモリベースの自動学習アルゴリズムの開発
 - ・アナデジ融合連想メモリに学習機能を付加することにより、メモリーベースの動作モデルの獲得方法を提案し、画像認識に応用して有効性を確認した。
 - ② 複数物体の追跡・認識アルゴリズム、ロボット行動の強化学習アルゴリズム
 - ・複数物体の追跡および認識のためのアルゴリズムと、ロボット行動の強化学習アルゴリズムを考案し、シミュレーションにより評価し、性能、適用性を明らかにした。

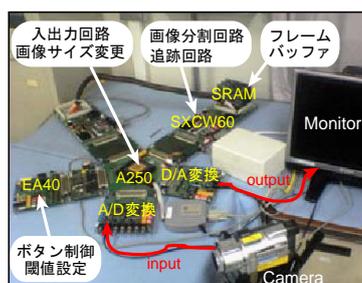


図2 連想メモリ応用物体追跡システム

5. 得られた成果の世界・日本における位置づけとインパクト

- 1) 世界で初めて、無線インタコネクトを導入した三次元集積を実現し目標とする性能を確認し、テラビット情報転送の見通しを得た。
- 2) 連想メモリの機能拡張、画像処理システム応用の有効性を実証した。
- 3) これらにより将来の超小型、高性能三次元システムの技術発展方向を明確にした。

6. 主な発表論文

(研究代表者は太字、研究分担者には下線)

- 1) M.A. Abedin, Y. Tanaka, A. Ahmadi, **T. Koide**, and H.J. Mattausch, "Mixed Digital-Analog Associative Memory Enabling Fully-Parallel Nearest Euclidean Distance Search," JJAP, Vol. 46, No. 4B, pp. 2231-2237, 2007.
- 2) M. Miyake, N. Sadachika, D. Navarro, Y. Mizukane, K. Matsumoto, T. Ezaki, M. Miura-Mattausch, et. al., "Surface-Potential-Based Metal-Oxide Silicon-Varactor Model for RF Applications," JJAP, Vol. 46, No. 4B, pp. 2091-2095, 2007.
- 3) **A. Iwata**, T. Yoshida and M. Sasaki, "Low-Voltage and Low-Noise CMOS Analog Circuits Using Scaled Devices," IEICE Trans. Electron., Vol. E90-C, No. 6, pp. 1149-1155, June 2007.
- 4) M. Miura-Mattausch, N. Sadachika, D. Navarro, G. Suzuki, Y. Takeda, M. Miyake, T. Warabino, Y. Mizukane, R. Inagaki, T. Ezaki, H. J. Mattausch, et. al., "HiSIM2: Advanced MOSFET Model Valid for RF Circuit Simulation," IEEE Trans. on Electron Devices, Vol. 53, No. 9, pp.1994-2007, 2006. (invited)
- 5) T. Yoshimura and **A. Iwata**, "A Study of Interference in Synchronous Systems," IEEE Trans. on Circuits and Systems, Vol. 53, No. 8, pp. 1726-1740, 2006.
- 6) M. Sasaki, M. Shiozaki, A. Mori, **A. Iwata** and H. Ikeda, "12GHz Low-Area-Overhead Standing-Wave Clock Distribution with Inductively-Loaded and Coupled Technique," IEEE ISSCC, pp.180-181, Feb. 2007
- 7) T. Kumaki, Y. Kono, M. Ishizaki, T. Koide and H.J. Mattausch, "Scalable FPGA/ASIC Implementation Architecture for Parallel Table-lookup Coding Using Multi-ported Content Addressable Memory," IEICE Trans. on Information & Systems, Vol. E90-D, No. 1, pp. 346-354, 2007.
- 8) M. Sasaki and **A. Iwata**, "A 0.95mW/1.0Gbps Spiral-Inductor Based Wireless Chip Interconnect with Asynchronous Communication Scheme," IEEE Symp. on VLSI Circuits, June 17, 2005.
- 9) **A. Iwata**, M. Sasaki, T. Kikkawa, S. Kameda, H. Ando, K. Kimoto, D. Arizono and H. Sunami, "A 3D-Integration Scheme Utilizing Wireless Interconnections for Implementing Hyper Brains," IEEE ISSCC, pp. 262-263, Feb 6-10, 2005.
ホームページ等
<http://www.dsl.hiroshima-u.ac.jp/research.html>