

## 三次元積層型プロセッサチップを用いた 超高性能並列処理システム

High Performance Parallel Processor System Using  
Three-Dimensional Processor Chip

小柳 光正 (KOYANAGI MITSUMASA)  
東北大学・大学院工学研究科・教授



### 研究の概要

三次元積層型プロセッサと光インターコネクションを採用した新しい共有メモリ結合型並列処理システムを提案するとともに、システム実現の鍵を握る三次元集積化技術と光インターコネクション技術を開発した。この技術を用いて、3層積層の3次元積層型プロセッサおよび10層積層の3次元積層型共有メモリ、光インターコネクションを有する共有メモリ・テストモジュールの試作に成功した。

研究分野：工学

科研費の分科・細目：電気電子工学 ・電子デバイス・電子機器

キーワード：電子デバイス・集積回路

### 1. 研究開始当初の背景・動機

高度情報通信社会を支える情報通信技術は過去10数年間で目覚ましい発展を遂げた。しかし、一方で、プロセッサメモリ間のデータ転送効率の低下や消費電力の急増が大きな問題となっている。将来の高度に発展したマルチメディア社会では情報処理や情報伝達の中心手段が画像となってくることから、大量の画像データを高速に伝達し、処理するために、通信速度と信号処理速度のより一層の改善と消費電力の低減が求められる。

### 2. 研究の目的

高度マルチメディア社会における情報処理技術の核となるような新しい三次元積層型プロセッサチップと、光インターコネクションを用いた共有メモリ結合型の超高性能並列処理システムの実現可能性を示すこと、および、三次元集積化技術、光インターコネクション技術を確認することを目的とする。

### 3. 研究の方法

平成15、16年度：三次元積層化技術、光インターコネクション技術の基礎検討（既存設備と薄膜堆積用イオン源等使用）。平成17、18年度：積層型プロセッサ、共有メモリの試作、光インターコネクションを有するマルチチップ・モジュールの試作（チップ位置合わせ装置、マルチスパッタ装置等を使用）。平成19年度：設計したシステムのFPGA実装による性能評価。

### 4. 研究の主な成果

図1に示した共有メモリ結合型並列処理システムの妥当性と性能評価を行うために、実際にシステムを設計し、FPGA (Field Programmable Gate Array) に実装して評価を行った。設計したシステムでは、共有データは光インターコネクションより成る高速のマルチポート・リングバスを介して各プロセッサ(PE)に送られるようになっている。プロセッサは、図2に示すように、積層構造のノード共有キャッシュメモリを積層した三次元積層型プロセッサとなっている。積層構造のノード共有キャッシュメモリを用いことによってキャッシュメモリ・ブロックサイズを大きくすることができるので、キャッシュミス率を減少させてシステム性能を向上させることができる。図3に示すように、設計したシステムで、接続するプロセッサの台数にほぼ比例する性能向上が得られた。

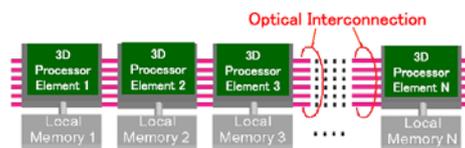


図1 光導波路接続による共有メモリ結合型並列処理システムの構成

以上のような並列処理システム実現の鍵となる光インターコネクション技術と三次元集積化技術について検討した。光インターコネクション技術に関しては、図4に示

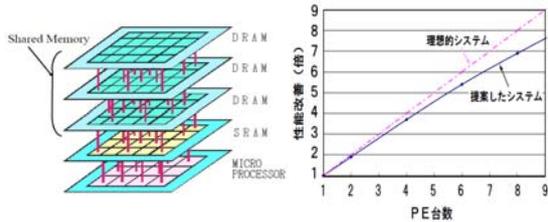


図2 三次元積層型プロセッサの構成  
図9 設計した共有メモリ結合型並列処理システムの性能

すような光インターコネクションを有する三次元マルチチップ・モジュールを試作するための要素技術の開発を行った。光インターコネクションとしてポリマー導波路を用いて、10Gbps (導波路長: 5cm) の高速データ転送を確認した。また、キャッシュメモリとなる SRAM (Static Random Access Memory) テストチップを光導波路で接続したテストモジュールを試作し、メモリチップ間で光によるデータ転送、データ書き込みに成功した。三次元集積化技術に関しては、ウェーハ張り合わせによる三次元集積化技術を世界に先駆けて開発し、図5に示すように、世界初の三次元積層型プロセッサ・テストチップの試作に成功した。また、図6に示すよう、10層積層の三次元積層型メモリ・テストチップの試作にも成功した。更に、より大規模で高性能のプロセッサチップとメモリチップを積層するために、異なったサイズのチップを張り合わせることでできるスーパーチップインテグレーション技術も開発した。この技術は、液体の表面張力を利用して、多数の良品チップを0.5秒以内で一括で張り合わせる(自己組織化張り合わせ)。張り合わせの位置合わせ精度は $0.5\mu\text{m}$ 以下である。

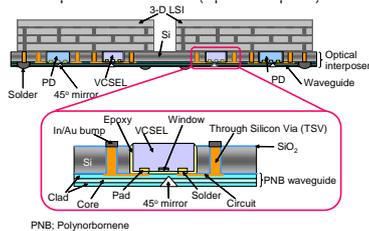


図10 光インターコネクションを有する三次元マルチチップ・モジュールの構造

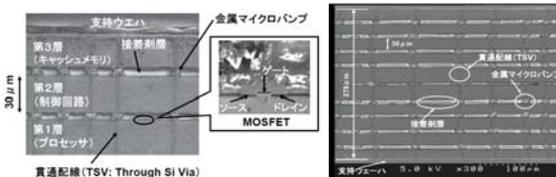


図14 三次元積層型プロセッサ・テストチップのSEM断面写真

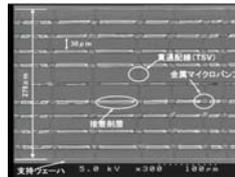


図16 三次元積層型共有メモリ・テストチップのSEM断面写真

## 5. 得られた成果の世界・日本における位置づけとインパクト

最近、マルチコア方式のマイクロプロセッサや並列プロセッサシステムにおいて、プロセッサとメモリを3次元的に積層する三次元積層型プロセッサと、プロセッサチップ間を10Gbps以上のデータ転送で接続できる光インターコネクションに対する要求が高まっている。本研究は、このような高性能プロセッサや並列処理システムに対する要求を先取りしたもので、今後の集積回路および計算機工学の分野の発展に多大の貢献をすると期待される。特に、世界に先駆けて、3層積層の三次元積層型プロセッサや10層積層の三次元積層型共有メモリの試作に成功したことは、本研究が今後の三次元集積化技術および三次元LSIの方向を示したものとして、国内外の三次元LSI研究、三次元SiP(System-in-Package)研究に多大のインパクトを与えた。

## 6. 主な発表論文

(研究代表者は太字、研究分担者には下線)

1) Novel Optical/Electrical Printed Circuit Board with Polynorbornene Optical Waveguide; M. Fujiwara, Y. Shirato, H. Owari, Ke. Watanabe, M. Matsuyama, K. Takahama, T. Mori, K. Miyao, K. Choki, **T. Fukushima**, T. Tanaka, and **M. Koyanagi**, Japanese Journal of Applied Physics, Vol. 46, No.4B, 2007, pp.2395-2400 (2007)

2) New Three-Dimensional Integration Technology Based on Reconfigured Wafer-on-Wafer Bonding Technique; **T. Fukushima**, H. Kikuchi, Y. Yamada, T. Konno, J. Liang, K. Sasaki, K. Inamura, T. Tanaka, and **M. Koyanagi**, IEEE International Electron Devices Meeting (IEDM) Tech. Dig., pp.985-988 (2007)

3) Three-Dimensional Integration Technology Based on Wafer Bonding With Vertical Buried Interconnections; **M. Koyanagi**, T. Nakamura, Y. Yamada, H. Kikuchi, T. Fukushima, T. Tanaka, and H. Kurino, IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 53, NO.11, pp.2799-2808 (2006)

4) ロボットビジョンシステムのための積層型並列リコンフィギャラブル画像処理プロセッサの設計; 杉村, 小西, 出口, 石原, **福島**, 近野, 内山, **小柳**, 電子情報通信学会論文誌 D, Vol. J89-D, No.6, pp-1141-1152 (2006)

5) Design of Novel Real-Shared Cache Module for High Performance Parallel Processor System on Chip; Z. LIU, **M. KOYANAGI**, and H. KURINO, GESTS International Transaction on Computer Science and Engineering, Volume 7, pp.13-26 (2005)