

21世紀COEプログラム 平成14年度採択拠点事業結果報告書

1. 機関の 代表者 (学長)	(大学名)	広島大学	機関番号	15401
	(ふりがな<ローマ字>) (氏名)	<Asahara, Toshimasa> 浅原 利正		

2. 大学の将来構想

本学では、「世界トップレベルの特色ある総合研究大学」という到達目標を達成するために、個々の教員の研究教育活動を支援し活性化を図るとともに、傑出した特色ある研究組織を育成すべく重点的な取り組みを進めている。平成14年度から16年度の間に21世紀COEに選定された5つの拠点は、本学が重点的、戦略的に支援している研究科／専攻や研究センターの中で中核的なものであり、本学の中期計画にも位置付けていたものである。これにより本学は先端的研究に直結した教育を行い、質の高い課程博士を輩出し、社会的・国際的に活躍できる研究者・高度専門職業人を養成することが可能となった。

本学は、国立大学法人中期目標・中期計画において、高いレベルの基礎研究及び優れた先端的研究を重点的に推進することとしている。即ち(1)多くの個性ある学術分野において、世界トップレベルの研究の達成を目指す。(2)次世代の学術をリードし、知的文化の創造につながる萌芽的研究を育成する。(3)新しい産業の創生と地域社会活性化に寄与する研究を育成する。(4)研究活動の成果を積極的に社会に発信し、知的・創造的ネットワークを基盤とした開かれた大学を実現する。(5)学術研究の水準の向上のため、信頼性の高い評価システムを構築する。

この5項目を指標として、平成14～16年度に21世紀COEとして選定された5課題に関連する学術研究領域の活動を評価するとともに、その結果に基づいて支援策を強化し、高度な研究拠点化を図っている。また、既に高い研究遂行ポテンシャルを有すると考えられる課題に関連する学術研究領域の活動についても、プロジェクト研究センターの設置等の支援策により、重点的に整備・強化し、高度な研究拠点化を促進している。このことは本学の理念である「豊かな人間性を培う教育」の具現化につながる最重要な拠点形成分野と認識している。

また、マネジメント体制では、教育研究ならびに経営の両面にわたって法人の長としての学長の強いリーダーシップのもとに副学長・学長補佐などによって構成される『大学運営戦略会議』を設置して、大学運営における企画立案機能の強化に努め、同会議の下に設置した「研究計画WG」において戦略的研究活動マネジメント体制を強化する提言をまとめるなど、これまでも精力的に研究

実績調査を行ってきた。ただし、従来の大学の基本であったボトムアップ型の運営の長所も加味し、「知」の創造を促す機能が十二分に発揮できるよう以下の3つの観点から運営組織を構築してきた。

- (1) 学長は、大学全体の到達目標に向けて役員会等を含むすべての運営組織をリードする役割を果たす。また学長は、大学全体の目標を達成する過程において段階的目標を定め、それが実現するように、各組織に必要な指示を与えるトップマネジメント体制を整備する。
- (2) 各組織は、大学全体の目標に対応してそれぞれの目標を定め、その実現に努力することによって大学全体の目標達成に貢献する。学長は、組織のリーダーに内発的動機を与えるために一定の権限と責任を付与し、下部組織の活性化を図る。
- (3) 新しい大学運営を機能させるために、大学の構成員全員が大学運営のビジョンと基本的考え方を共有できるしくみを作る。

本学は、新しいマネジメント体制によって、「世界トップレベルの特色ある総合研究大学」を到達目標として、その実現に向けた教育研究活動を展開している。すでに、全研究科の大学院講座化を完了している。21世紀COEプログラムのような国際的に卓越した拠点になるべく採択されることは、「世界トップレベルの特色ある総合研究大学」となるためには不可欠である。このため、本学では、まず、既存部局・研究所にその人員の10%を保留することを要請し、それらすべてを全学運用の人員として学長の下に集約した。この人員は学長のリーダーシップのもとに戦略的な拠点形成等に配分することとなっている。その結果、21世紀COE拠点にはすべて教員、研究教育支援職員の新規配置を行い、その拠点形成を図った。同時に、関連部局とも協力し、追加的な予算配分や必要な研究スペースの優先的な配分も行ってきた。また、21世紀COE拠点プログラムの修了拠点についても、本来の目的である国際的な研究教育拠点へ発展を目指して、新たな人員配置も伴う研究センターの設置にむけて準備を行っている。

3. 達成状況及び今後の展望

本学では、「世界トップレベルの特色ある総合研究大学」という到達目標を達成するための行動計画として、「長期ビジョン(2003)」を定め、教育及び研究の双方において国際的に上位にランクされる総合研究大学をめざすことを明確にしている。

この実現に向け、世界をリードしている学術研究分野として21世紀COEプログラムの採択を受けたプロジェクトについて、以下のとおり支援制度を構築し、研究拠点の形成を図った。

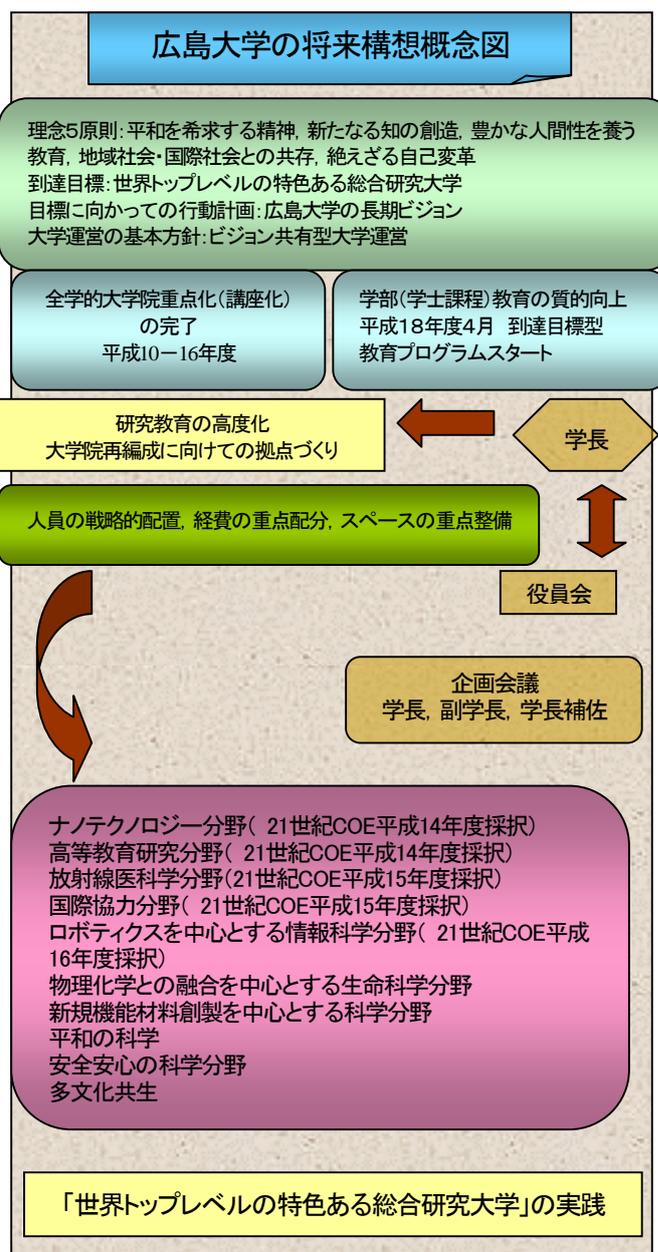
- ①プロジェクトが長期に渡る(5年間)ことから、プロジェクト継続期間中に定年を迎えた教員が引き続いて雇用が可能となる制度(広島大学特任教員取扱要項 H16.4.1)及び研究プロジェクト活動を一層推進するため研究支援業務に従事する者を雇用できる制度(広島大学研究支援員取扱要項 H18.3.31)
- ②平成13年度に中核的研究拠点形成プログラムとして採択されたプロジェクトについて、今後も優れた学術的成果を継承・発展させるために、新たに学内共同教育研究施設を設置(先進機能物質研究センターH18.4.1)
- ③教育研究の一層の推進を図るため、人員の戦略的配分として全学保留の定員から拠点毎に教員1名(準教授又は助教)を追加配置するとともに必要に応じて教育研究支援職員を配置
- ④研究拠点形成支援経費の重点配分として拠点毎に毎年400万円程度を措置
- ⑤研究スペースを優先的に確保し、プロジェクト環境を整備
- ⑥大型研究プロジェクトに関する支援業務を学術部において行っていたが、更に円滑な処理を行うため、平成18年10月に研究プロジェクト支援グループを設置

さらに、今後の展望としては、

- ①21世紀COEプログラム「21世紀型高等教育システム構築と質的保証」については、大学評価・組織・FDの研究に成果があり、高等教育政策立案に寄与するとともに、関連する2件の委託研究も獲得しており、この成果を継承・発展させるため、「知識創造発信型高等教育システムの世界展開」として、平成19年度グローバルCOEを申請しているところである。
- ②21世紀COEプログラム「テラビット情報ナノエレクトロニクス」については、インダクタを用いた隣接チップ間通信及びチップ上アンテナを用いた超広帯域通

信の2種の無線技術を用いた三次元集積技術3DCSSを開発して、人間より高速な視認性能を持つハイパーブレインを目指しており、この成果を継承・発展させるため、「ナノデバイス機能システム・ワイヤレス集積」として、同様に平成19年度グローバルCOEを申請しているところである。

いずれも、世界的研究教育拠点の形成として重要な位置付けをし、重点的な支援による研究活動の推進を図って行くこととしている。



21世紀COEプログラム 平成14年度採択拠点事業結果報告書

機 関 名	広島大学		学長名	浅原 利正	拠点番号	C 1 4
1. 申請分野	A<生命科学> B<化学・材料科学> C<情報・電気・電子> D<人文科学> E<学際・複合・新領域>					
2. 拠点のプログラム名称 (英訳名)	テラビット情報ナノエレクトロニクス (Nanoelectronics for Tera-bit Information Processing) ※副題を添えている場合は、記入して下さい(和文のみ)					
研究分野及びキーワード	<研究分野: 電気電子工学>(電子デバイス・集積回路)(回路設計・CAD)(光デバイス・集積化)(微細プロセス)(インターコネクスト・パッケージシステム化・応用)					
3. 専攻等名	ナノデバイス・システム研究センター・先端物質科学研究科半導体集積科学専攻					
4. 事業推進担当者	計 16 名					
ふりがなくローマ字) 氏 名	所属部局(専攻等)・職名		現在の専門 学 位		役割分担 (事業実施期間中の拠点形成計画における分担事項)	
(拠点リーダー) <Atsushi Iwata> 岩田 穆	先端物質科学研究科半導体集積科学専攻・教授(兼ナノデバイス・システム研究センター長)		集積回路工学(設計)博士(工学)		総括 システムアーキテクチャと回路設計	
<Hideo Sunami> 角南 英夫	ナノデバイス・システム研究センター・教授(兼先端物質科学研究科半導体集積科学専攻)		集積回路デバイス・プロセス工学博士		SOI立体トランジスタの研究	
<Takamaro Kikkawa> 吉川 公麿	ナノデバイス・システム研究センター・教授(兼先端物質科学研究科半導体集積科学専攻)		半導体集積回路工学博士(工学)		三次元無線および高速インターコネクストの研究	
<Mattausch Hans Juergen> Mattausch Hans Juergen	ナノデバイス・システム研究センター・教授(兼先端物質科学研究科半導体集積科学専攻)		集積回路工学理学博士		全並列アナ・デジ融合連想メモリのシステムアーキテクチャと高速化の研究	
<Shin Yokoyama> 横山 新	ナノデバイス・システム研究センター・教授(兼先端物質科学研究科半導体集積科学専攻)		半導体工学工学博士		光インターコネクション集積化技術の研究	
<Kenntaro Shibahara> 芝原 健太郎	ナノデバイス・システム研究センター・助教(兼先端物質科学研究科半導体集積科学専攻)		半導体工学・集積回路工学工学博士		超微細トランジスタ回路製作法の研究	
<Anri Nakajima> 中島 安理	ナノデバイス・システム研究センター・助教(兼先端物質科学研究科半導体集積科学専攻)		半導体物理工学理学博士		微細MOSトランジスタのための高誘電率ゲート絶縁膜の研究	
<Tetsushi Koide> 小出 哲士	ナノデバイス・システム研究センター・助教(兼先端物質科学研究科半導体集積科学専攻)		集積回路システム7-キチヤ設計博士(工学)		全並列アナ・デジ融合連想メモリと画像処理アーキテクチャの研究	
<Michiko Miura> 三浦 道子	先端物質科学研究科半導体集積科学専攻・教授		半導体デバイス工学理学博士		超微細SOIトランジスタ特性のモデリングと回路動作の基礎研究、デバイス設計のための超微細SOIトランジスタの動作シミュレーション	
<Seiichi Miyazaki> 宮崎 誠一	先端物質科学研究科半導体集積科学専攻・教授		半導体工学工学博士		自己組織化量子構造作製とメモリデバイス技術	
<Mamoru Sasaki> 佐々木 守 (H15.4.30追加)	先端物質科学研究科半導体集積科学専攻・助教		集積回路工学(設計)学術博士		無線インターコネクスト方式とRF回路設計の研究	
<Seiichiro Higashi> 東 清一郎 (H15.4.30追加)	先端物質科学研究科半導体集積科学専攻・助教		半導体物性博士(工学)		低温結晶化技術による量子構造作製とデバイス・プロセスインテグレーションの研究	
<Tatsuya Ezaki> 江崎 達也 (H17.9.29追加)	先端物質科学研究科半導体集積科学専攻・助教		半導体デバイス工学博士(工学)		MOSトランジスタにおけるキャリア光応答特性のモデル開発とデバイス・回路特性解析の研究	
<Hideki Murakami> 村上 秀樹	先端物質科学研究科半導体集積科学専攻・助手		半導体工学修士(工学)		量子ドットのサイズおよび位置制御の研究	
<Takeshi Yoshida> 吉田 毅 (H17.4.1追加)	先端物質科学研究科半導体集積科学専攻・助手		集積回路工学博士(工学)		無線通信、低電圧高周波回路設計の研究	
<Hiroaki Ueno> 上野 弘明(H16.3.19辞退)	先端物質科学研究科半導体集積科学専攻・助手		半導体デバイス工学博士(工学)		デバイス設計のための超微細SOIトランジスタの動作シミュレーション	
5. 交付経費(単位:千円) 千円未満は切り捨てる () : 間接経費						
年 度(平成)	1 4	1 5	1 6	1 7	1 8	合 計
交付金額(千円)	130,000	128,000	128,000	117,000 (11,700)	108,120 (10,812)	611,120 (22,512)

6. 拠点形成の目的

目的 広島大学ではナノデバイス・システム研究センターを中心とするシリコン集積回路のデバイス、製造プロセス、回路、システムにわたる幅のある研究領域において既に世界トップの研究実績をあげているが、この各領域の研究を拠点目標に向けて強く連携させ、また、強化すべき領域には世界から人材を集めて、研究拠点を構築し、研究・教育能力を飛躍的に発展させる。これにより、集積回路技術のロードマップにない新技術を開発し世界を先導する。同時に独創性とリーダーの素質を持ったドクター研究者を育成し、社会に貢献する。

研究目標は、無線と光を複合したインタコネクションと新しい立体構造の極微細トランジスタを用いた三次元集積技術と、これを活用した脳型コンピュータ、並列画像処理システムの構成技術の開発である。

必要な理由

将来10年以上、微細加工を基礎とするシリコン集積回路はエレクトロニクスの主流の座を占めることはまちがいないが、集積回路は高信頼、大量生産の部品という時代を越えて、高機能・高性能な情報処理、通信ネットワークなどのシステムそのものになっている。これを先導するために総合的で革新的な技術の研究開発が必須である。これを達成するために本研究拠点で、情報工学との連携を図り、大規模情報をフレキシブルに処理できる集積技術を開発し、これを活用した新しい情報処理システムを開発することが必要である。

目的達成の基礎となる研究実績

広島大学では昭和40年代から、シリコン集積回路技術に重点化して、研究教育体制を強化し、昭和61年に集積化システム研究センターを設立し、平成8年にナノデバイス・システム研究センターに発展的に改組し、クリーンルーム、加工装置、分析評価装置、設計システムを整備して、世界トップの研究・教育を展開してきた。

COE事業推進メンバーは、以下の7領域で世界的な研究実績をあげている。(1)極微細半導体デバイス技術、(2)高性能配線技術、(3)量子ドット形成と量子ドット浮遊ゲートデバイスとメモリ応用、(4)物理的デバイスモデル、(5)アナログ回路、アナログ・デジタル融合回路技術、(6)並列処理用マルチ

ポートメモリ、アナログ融合連想メモリ、(7)生体情報処理にもとづく画像認識、脳型コンピュータのアーキテクチャ。

これらの実績は一流の国際会議での発表、多数の産学共同研究と産学官連携プロジェクトの実施、成果活用ベンチャー企業の設立の実績を持っている。また、半導体産業を担う多数の人材を育成して提供してきた。

研究分野の国内外の現状と動向

国外:大学を中心とする技術開発組織に国から年間数百億円以上を投資、科学的手法による生産技術によって世界をリードしている。

アジア:半導体製造会社が発展し、高度な製造設備投資と技術獲得によりビジネスを展開し、日本の産業を圧迫。

国内:シリコン集積回路のデバイス、プロセス技術を総合的に研究する大学の機関は極めて少なく、材料、要素技術が主流。設計技術は極めて弱体な状態から平均的にはキャッチアップの努力中である。技術の高度化による設備投資の巨額化に対応できなくなり、システム・設計技術でも苦戦している。この状況を早期に改善する必要がある。

期待される研究成果

テラ(10^{12})ビット情報を従来の100倍の処理能力と1/5程度のコストで実現できる集積システム技術と、機能自己形成する脳型コンピュータや並列画像処理システム技術を開発することにより、将来のエレクトロニクスを先導する。これにより、日本のエレクトロニクス産業の技術優位性およびビジネスにおけるリーダーシップを世界のトップに押し上げる。また、産業界から要請の高い実践力と創造力を持つ技術者・研究者を育成する。

学術的または社会的な意義・波及効果

本COEの意義は先端的技術開発と人材の育成により半導体産業を振興することである。さらに、半導体工学の分野で科学的な思想で技術を追求め、産学協同して実用レベルまで高めることにより、真の工学を極めることができる。また、実現した先端技術を異分野への展開、融合することにより新たな産業の創出につながる。

7. 研究実施計画

[先導的半導体技術] 情報化社会の基盤である半導体技術は過去40年間、半導体デバイスの微細化と高集積化による性能向上で進歩してきた。しかし、微細化がナノメートルサイズにまで達すると、2次元的なチップ平面状のデバイス微細化のみでは性能向上に限界が見えてきた。そこで、本拠点では今後一層膨大化する情報処理に対応するために、半導体技術ロードマップにはないブレークスルーとして、3次元的にデバイスを低コストで集積する技術を開発する。接続用の貫通金属配線や高度な張り合わせ技術等が不要な3次元カスタムスタックシステム(3DCSS)を提案する。このコンセプトを図1に示す。複数のチップ間を超高速の無線通信(ウルトラワイドバンド[UWB]拡散スペクトラム通信)により結合する。(図2)これにより精密な3次元配線と実装が不要となる。立体構造SOI(Silicon on Insulator)-CMOSTランジスタ(図3)により高密度回路、高駆動能力の無線回路を集積し、チップ内の長距離配線には高速な光配線を用いる。超並列処理を実行するために、アナログ・デジタル融合回路を用いる。また、イメージセンサ、分子センサーなど、異種技術のチップを結合できる。さらに、その3次元の接続を可変化して、その特徴を活用した生体処理モデル化による脳型コンピュータ、並列画像処理システム構成技術を研究する。3DCSSにより、5年後に、その時のハイエンドコンピュータの100倍の処理速度である1TIPSを、従来の1/5のコストで実現することを目標とする。3DCSSは、同時通訳機、高信頼認証システム、知能ロボットなどへ応用できる。

これを実現するには、半導体工学、デバイス物理、新機能メモリ、デバイス回路モデリング、光・無線による電磁波伝送工学、アナログ・デジタル融合回路設計、並列処理アーキテクチャ、等の個別の基礎研究とそのインテグレーションが必要になる。

[具体的な研究項目]()内は主担当

1.極限微細化基盤技術(芝原) ナノメートルオーダーの高誘電率ゲート絶縁膜、極浅接合形成技術、金属ゲート、仕事関数変調技術、高性能配線材料技術の研究を行う。

2.極限SOIデバイスの設計・製作・モデリング(角南・三浦・上野) 極限微細SOIデバイスの設計・製作法の開発、デバイス/回路設計用の物理原理に基づくモデリング、電磁波応答の研究を実

施する。

3.三次元チップ間無線通信技術(吉川) 無線アンテナ、送信・受信アンプの集積化、チップ間通信に適した無線通信プロトコルの開発を行う。超並列処理のための通信方式、および動的な通信路再構成技術の研究を行う。

4.光インターコネクション集積化技術(横山・中島) チップ平面上で高速な光通信を行うために、光導波路の微細化、シリコン量子構造発光素子、少数電子デバイスを用いた超高感度受光素子、フォトニック結晶を用いた波長分割多重通信(WDM)の研究を実施する。

5.自己組織化量子構造作製とメモリデバイス技術(宮崎・村上) 量子ドット自己組織化形成法を進展させ、量子ドットをゲート絶縁膜中に多層埋め込んだ多値メモリの実現、量子構造の超高感度センサーへの応用を研究する。

6.SOIデバイスRF・アナログ回路技術(岩田) 極限SOIデバイスを用いた高速無線回路とソフト無線用AD変換器を研究する。

7.並列処理アナ・デジ融合連想メモリによる画像認識システム(マタウシュ、小出) 省面積・高速化に適した表題の方式により、画像認識、動画画像認識、さらに学習機能をもつシステムを構築する。

8.高次脳機能自己形成アーキテクチャとシステム化技術(岩田) 学習による脳内ネットワーク再構成の技術、判断や戦略能力など高次機能を自己形成するブレインの構成法を研究する。

[波及効果]本COEの成果は研究目標だけにとどまらず、この開発を通して、異なる分野の研究者がひとつの拠点に集まることにより、学際的な技術の融合だけでなく、シナジー効果による新しい分野の科学技術及びそれを体系化した新しい学問領域を創生することができる。その例は半導体・電磁波伝送工学であり、ブレインエレクトロニクス、新デバイス回路アーキテクチャ、リコンフィギュアラブル情報処理・ネットワーク、等である。

8. 教育実施計画

本COEは先端技術の研究を主目的とするナノデバイス・システム研究センターを中心としているので、研究に重点を置くが、研究と両輪となった人材育成に下記のプログラムで取り組む。これにより、洞察力とリーダーシップを持ったドクター研究者を多数育成する。

拠点の理念にそった大学院教育を可能にするために、半導体に特化した専攻の設立し、以下の点を達成できる教育システムとカリキュラムの確立を目指す。

修士課程の教育において、ドクターコースを目指すモチベーションを学生自ら持てるように、発展性のある研究テーマおよび目指すべき人材像の教育を実現する。

高い専門性と適切な幅を持った知識習得を可能にするカリキュラムを作成する。また、実践力の育成のために実習科目および実質的に企業の仕事を体験できる実質的なインターンシップを実現する。

COEにおける学生および若手研究者を対象として研究テーマを提案させて、評価により、研究費を配分して研究を担当させる。

このような研究を通じた教育が目標とする人材育成に必須であると考える。

[教育・育成の強化策]

- 1.最先端の研究を実施させることにより、博士課程後期および同レベルの研究者、技術者を多数育成する(年間10名以上)。
- 2.大学院博士課程の学生を特別研究員として雇用することにより、生活の安定を図り、研究に没頭できる環境を作る
- 3.学生および若手研究者による公募研究プロジェクトを実施する。これにより研究のインセンティブを高め、研究・教育の活性化を図る。
- 4.修士学生に対して基礎的実力と実践力を養成できる研究テーマを実施させ、次ステップへの進学を進める。また、厳格な修了資格要件を設け、論文発表、学会発表等を積極的に行うよう指導する。
- 5.民間企業、他大学との共同研究に際して、博士課程学生を正式に分担研究者として直接的に寄与させることにより責任感を養う。
- 6.学生の海外インターンシップ(短期および長期)

を奨励すると共に、留学支援費用を拠点から支出する。

7.先端技術に関する社会人教育も含めた間口の広い教育システムを構築する。

ナノデバイス・システム研究センターで地域企業と共同して、相互乗り入れの集中講義、演習などを企画し、実践的教育を強化する。他大学も含めた授業単位や企業研修実績として認める制度を構築したい。

8.大学成果活用による大学発ベンチャー企業を拡充・活用し、学生を雇用してベンチャー精神を養う。

9. 研究教育拠点形成活動実績

① 目的の達成状況

1) 世界最高水準の研究教育拠点形成計画全体の目的達成度

[研究における目標達成度] (①想定以上の成果 ②想定どおりの成果 ③ある程度達成 ④不達成)

拠点全体の達成度総合的評価は②である。

[各要素技術に関する自己評価とその根拠]

a. 無線インタコネクと三次元集積

a.1 電磁波無線インタコネク(吉川G)

評価①:ダイポールアンテナをチップに集積化し、CMOS差動回路と直結して、Siチップ間のウルトラワイドバンド無線信号の送受信を世界で初めて実証した。ベースバンドでのチップ間の無線伝送が可能となった。英文論文13件、国際会議発表23件。海外共同研究:バンガラデシュ工科大学 ラシッド教授, サハ教授, フロリダ大学 オー教授, カリフォルニア大学 チャン教授。

a.2 電磁結合インタコネク技術(佐々木G)

評価②:インダクタ対の電磁結合による無線インタコネク技術を研究に追加し、LC共振を活用して転送速度1Gbpsを1mWの電力で実現した。

a.3 三次元集積(岩田, 吉川G)

評価③:電磁波結合GWI, 電磁結合LWIを併用した三次元集積技術(3DCSS)を提案し、3D CSSプロタイプを試作し基本動作を実証した。



図1 3DCSS概念図

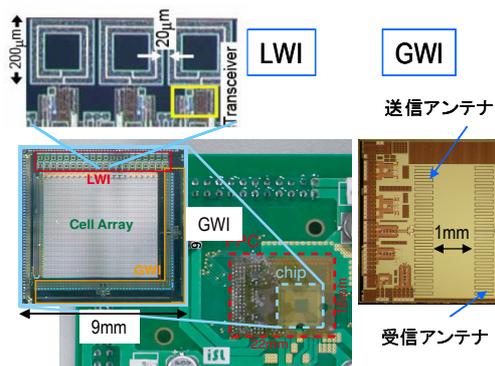


図2 3DCSSプロトタイプ

b. デバイスマデリング技術

b.1 モデリング技術(三浦G) 評価②:表面ポテンシャルを用いて、精密解を求める新モデルHiSIM (Hiroshima University STARC IGFET)を提案し、10GHz帯高周波における歪み、雑音などのRF回路の精度向上を達成した。又、PIN型光検出器のモデル(HiSIM-PD)を開発し、時間応答特性の高精度化を達成した。

b.2 国際標準化(三浦G) 評価②:STARC協力してHiSIMの国際標準化活動を展開した。委員会の投票で基本デバイスモデルでは僅差で2位であったが、優位性が実証されたので次のSOIデバイスモデルの標準化を継続している。

c. アーキテクチャ・回路技術

c.1 機能メモリベース画像処理(マタウシュG) 評価②:チップ内でTbit/secを実現する機能メモリアーキテクチャ・回路技術を開発した。又、画像認識、動画像認識のための画像分割の新アルゴリズム、アーキテクチャを開発し、FPGAで数百物体の追跡ができるシステムを構築した。更に、学習機能を有する連想メモリベースアーキテクチャを構築し、チップ設計・試作・測定で300nsのデータ処理速度を確認した。

c.2 低雑音アナログ・混載回路設計(岩田G)

評価②:グランデッドスイッチによるチョッパ回路、オートゼロ回路の考案により1V電源動作・50nV低雑音特性を実現した。又、基板雑音によるPLLの性能劣化の解析および抑圧技術を実現。

c.3 新しい定在波発振器(佐々木G)

評価①:オンチップの伝送線路を用いた定在波発振器においてインダクタ負荷、インダクタ結合による2次元発振器を考案した。0.18µm CMOSで発振周波数11.5GHz、ジッタ4.7psを得た。

c.4 脳型処理のアルゴリズムの研究(岩田G)

評価③:マルチオブジェクト認識アルゴリズムを開発し、ソフトで動作確認した。各処理ブロックをチップ化し、3DCSSでプロトタイプを実現し、基本動作を確認した。システム性能評価は未了。

d. 新構造・微細化基盤技術

d.1 微細化デバイス基盤技術(芝原G)

評価③:高誘電率ゲート絶縁膜ALD技術の開発、部分溶融型レーザアニール法による極浅接合形成、Mo, NiSi, Pd₂Si等の金属ゲートの仕事関数制御、low-k絶縁膜のリーク電流導電メカニズムなど

について成果を得た。

d.2 High-k絶縁膜形成および信頼性(中島G)
評価②:ALDによるゲート絶縁膜の形成法, スタックゲート絶縁膜およびSiONゲート絶縁膜の信頼性を明らかにした. ALDシリコン窒化膜の寿命を評価しSiO₂と同程度を確認した.

d.3 三次元ビームチャネルトランジスタ(角南G)評価③:極限微細SOIデバイス形成技術として, 高いアスペクト比のトランジスタ, Niシリサイド電極, 三次元プラズマドーピングの開発を行った. 前二者は目標の結果を得たが, ドーピングはプラズマ損傷の課題が残った.

e. 光電融合デバイス (横山G)

評価③ Si微細導波路(幅0.3ミクロン形成), Siドット発光素子の集積化と発光確認, 三浦Gとの協力による, 高効率高速受光素子の設計と実証, 電気・磁気光学材料光学素子による波長選択技術を開発した. 数値目標には及ばないが目的はある程度達成した.

f. 量子ドット浮遊ゲート機能デバイス (宮崎G)

評価②:Si系量子ドットへのPおよびBのデルタドーピングやGeコアの導入, シリサイド化による帯電特性・電荷保持特性の制御技術を開発し, 又Si量子ドットフローティングゲートの離散的な荷電エネルギー状態を反映したMOSデバイスの基本特性を説明した.

【教育に関する目標達成度】

a.博士取得研究者を年間10名以上輩出.
課程博士授与数は2003年:1名, 2004年:5名, 2005年:3名, 2006年:5名, 2007年:12名で, 合計25名である. 論文博士は6名であった. 博士授与数目標年10名には至らなかったが, COE以前に対して大幅増を達成した.

大学院生研究の質の指標として学生の表彰件数は21件とCOE以前より2倍に向上した.

b.大学院博士課程の学生を研究員として延べ43人年をCOEで雇用した.

c.ドクター学生など若手研究者による研究プロジェクトを実施し, 研究費15百万円を配分した.

d.民間企業, 他大学との共同研究に参加した博士課程学生は延19人年であった.

e.学生の海外派遣(短期および長期)の実績は5年間で25件(各1週間程度)である.

f.社会人教育も含めた間口の広い教育システムの構築する. 社会人博士学位授与数は11人.

2) 人材育成面での成果と拠点形成への寄与

a. 半導体集積科学専攻の設立

2004年にCOE推進教員を構成員として, 先端物質科学研究科に半導体集積科学専攻を新設した. この専攻のカリキュラムの特徴を示す.

- ・先端専門知識を習得できるカリキュラム
- ・基礎理論から先端技術の講義, 企業経験に基づく社会的役割を理解させ, 広い視野と将来のリーダーの資質を養う.
- ・修論と異なる分野の演習・実習で幅を広げる.
- ・インターンシップを単位化し, 社会ニーズやビジネスセンスを身につける

b. インターンシップの実質化:派遣前に研修テーマを決め事前準備をする. 実質4週間, 厳密な評価により2単位を授与. 3年間の実績:27名が参加. 主な研修先は, エルピーダメモリ, NEC, シャープ, TI, ザイン, RFチップスである.

c. 国際性, 英語力の強化のため・特定科目の英語による講義, 外国人講師を含むCOEセミナーを17回開催した.

3) 研究活動面での新分野の創成と学術的知見等

[拠点で研究した新半導体の学問領域]

a. 半導体電子工学と電磁波工学の融合

半導体による電磁波発信, 伝播, 応答の理論, 無線変調, 情報処理理論, 及びそれらのバイオ, 医療, 環境診断への応用

b.量子物理学と半導体量子電子工学
量子構造形成, 計測, メモリなどへの応用

[得られた主な知見]

a.シリコン集積回路中の無線による情報転送性能と三次元集積における有用性を実証した.

b.量子ドットの帯電特性の測定評価による現象の理解とメモリへの応用の可能性を達成した.

4) 事業推進担当者相互の有機的連携

グループ間協力による領域融合

・岩田Gと吉川Gの協力により, 無線インタコネクション, 電磁界解析による回路, アンテナ, インダクタの設計, 測定評価を行った.

・無線インタコネクションの基礎実験 CMOS技術による3DCSSプロトタイプを設計・試作.

・三浦Gと横山Gの協力により, 光インタコネクション用光検出デバイスのモデリング, 構造設計, HiSIM-PDの考案, 試作・評価を行った.

・宮崎Gと横山Gの協力により、光配線LSI用途のSi量子ドットLEDの試作・評価を行った。

・三浦Gと岩田Gの協力によりHiSIMモデルによるCMOS-RF回路設計技術の研究連携

5) 国際競争力ある大学づくりへの貢献度

a. 一流の国際会議への発表による、研究実績と能力を示し、学会及び産業界に貢献した。

世界大学ベンチマークを一流国際会議における発表件数のランキングで行うと、半導体分野総合で世界6位、日本2位である。

下表に世界大学ベンチマークを示す。

主要国際会議採択件数(2003—2006年)

会議名	世界ランク	国内ランク
ISSCC	25位	3位
IEDM	13位	3位
Symp. On VLSI Circuits	7位	2位
Symp. on VLSI Technology	7位	2位
SISPAD	9位	1位

ISSCC: International Solid-State Circuits Conference,
IEDM: International Electron Device Meeting,
SISPAD: International Conference on Simulation of Semiconductor Processes and Devices

b. HiSIM国際標準化活動

HiSIMの世界標準化活動を展開した。政治的な要素もあって基本MOSデバイスモデルの投票では競合モデルPSPに対して僅差で負けたが、技術的優位度を実証できたので、SOIデバイスモデルの標準化を継続している。

c. 国際共同研究

c.1 デバイスモデル(三浦教授)

「回路設計用モデル開発基盤の構築とこれを用いたマルチゲートMOSFETモデルの開発」

期間: 2005年10月～2009年9月, メンバー: 三浦教授(代表), 国外共同研究者: 中国Tsinghua大学 Zhiping教授, 香港科学技術大学 Mansun教授, 韓国ソウル大学 Park教授。

c.2 電磁波無線インタコネク(吉川教授):

相互訪問による共同研究, 米国フロリダ大学O教授, UCLAロサンゼルス校, Chan教授, バングラデシュ工科大学Rashid教授, Saha教授

c.3 量子ドット関係(宮崎教授):

南京大学・物理系固体微細構造研究所(徐駿教授, 陳坤基教授)との研究協力

2004年8月～6ヶ月: 徐駿教授の広大COE参画

2006年9月10日間, 南京大学に招聘(宮崎)

6) 国内外に向けた情報発信

a. 一流国際会議への成果発表により情報発信した。

b. COE国際ワークショップを5回開催。

第1回: 2004年3月COEの構想・計画。

第2回: 2005年1月デバイスモデル。

第3回: 2005年12月無線インタコネクシオン。

第4回: 2006年9月デバイス・プロセス。

第5回: 2007年1月に全テーマ・総括

c. 半導体技術シンポジウム 無線インタコネクによる三次元集積技術の情報を発信した。

7) 拠点形成費等補助金の使途について

・若手研究者育成のために、COE研究員(ポスドク, 博士学生)の person 費にCOE研究費の約45%を配分した。

・国際ワークショップを開催(東京でも開催), ホームページなど成果発信のために配分

・研究費には科研費などの競争的外部資金を獲得して使用。15件(10百万円以上)金額合計は633百万円(5年間)であり、COE研究費(5年間)の103%である。

②今後の展望

今後、半導体集積技術拠点を中心にしてバイオ領域, 医療領域に拡大していく。更に、情報科学, 生命科学, 量子科学などの学問と、医療, 環境への応用へと展開させ領域拡大を図る。

COEの成果をもとに融合領域イノベーション拠点プロジェクト「半導体・バイオ融合集積技術の構築」に応募して採択された。本プロジェクトの狙いと主要テーマは(1) 新発見のシリコン結合ペプチドを用いてナノデバイスに有機分子を選択的に結合する技術を開発し、多項目・高速バイオセンサを実現し、ユビキタス診断システムを開発する。(2) 新材料探索, 新記憶原理と記憶セル構造を考案し、テラビットメモリのプロトタイプを開発する。(3) ポストメモリとして、バイオセンサとメモリを集積したブレインチップの基盤技術を開発する。

③その他(世界的な研究教育拠点の形成が学内外に与えた影響度)

学内: 半導体分野の教育・研究体制の強化が半導体・バイオ融合プロジェクトの構築及び学内体制, 事務組織の強化を図った。

学内における医工融合の研究・教育強化の機運を高めた。

学外: COE成果に基づく国内外大学との共同研究及び民間企業との共同研究が増加した。

21世紀COEプログラム 平成14年度採択拠点事業結果報告書

機 関 名	広島大学	拠点番号	C14
拠点のプログラム名称	テラビット情報ナノエレクトロニクス		
<p>1. 研究活動実績</p> <p>①この拠点形成計画に関連した主な発表論文名・著書名【公表】下線() 拠点の研究活動に参加している博士課程後期学生</p> <p>[岩田 穆] 1. T. Yoshimura, A. Iwata, "A Study of Interference in Synchronous Systems," IEEE Trans. on Cir. & Sys., Vol.53, No.8, pp. 1726-1740, 2006.</p> <p>2. A. Iwata, M. Sasaki, T. Kikkawa, S. Kameda, H. Ando, K. Kimoto, D. Arizono and H. Sunami, "A 3D-Integration Scheme Utilizing Wireless Interconnections for Implementing Hyper Brains," IEEE (ISSCC, Digest of Technical Papers, pp. 262-263, 2005. 岩田 穆著, VLSI 工学—基礎・設計編—, (社)電子情報通信学会編, (株)コロナ社, 2006年12月.</p> <p>[佐々木 守] 3. M. Sasaki, "Design of a Millimeter-Wave CMOS Radiation Oscillator With an Above-Chip Patch Antenna," IEEE Trans. Circuits Syst. II, vol.53, No.10, pp-1128-1132, Oct. 2006.</p> <p>4. M. Sasaki, M. Shiozaki, A. Mori, A. Iwata, and H. Ikeda, "17GHz Fine Grid Clock Distribution with Uniform-Amplitude Standing-Wave Oscillator," IEEE 2006 Symposium on VLSI Circuits Digest of Technical Papers, pp. 124-125, June 15-17, 2006.</p> <p>5. M. Sasaki, M. Shiozaki, A. Mori, A. Iwata, H. Ikeda, "12GHz Low-Area-Overhead Standing-Wave Clock Distribution with Inductively-Loaded and Coupled Technique," IEEE ISSCC Digest of Technical Papers, pp.180-181, Feb. 2007.</p> <p>[吉田 毅] 6. T. Yoshida, M. Akagi, T. Mashimo, A. Iwata, M. Yoshida and K. Uematsu, "A Design of Wireless Neural-Sensing LSI," IEICE Trans. Electronics, Vol.E87-C, pp. 996-1002. 2004.</p> <p>7. T. Yoshida, Y. Masui, T. Mashimo, M. Sasaki and A. Iwata, "A 1 V Low-Noise CMOS Amplifier Using Autozeroing and Chopper Stabilization Technique," IEICE Trans. Electronics., vol.E89-C, pp.769-774, Jun. 2006.</p> <p>[マダウシユ] 8. H. J. Mattausch, T. Gyohten, Y. Soda and T. Koide, "Compact Associative-Memory Architecture with Fully Parallel Search Capability for the Minimum Hamming Distance," IEEE J. of Solid-State Circuits, Vol.37, pp. 218-227, 2002.</p> <p>9. K. Johguchi, Z. Zhu, T. Hirakawa, T. Koide, T. Hironaka, and H. J. Mattausch, "Distributed-crossbar architecture for area-efficient combined data/instruction caches with multiple ports," IEE Electronics Letters 40, pp.160-162, 2004.</p> <p>10. K. Johguchi, Y. Mukuda, K. Aoyama, H. J. Mattausch, and T. Koide, "A 2-stage-pipelined 16 Port SRAM with 590 Gbps Random Access Bandwidth and Large Noise Margin," IEICE Electronics Express, Vol.4, No.2, pp.21-25, 2007</p> <p>11. M.A. Abedin, Y. Tanaka, A. Ahmadi, T. Koide, and H.J. Mattausch, "Mixed Digital-Analog Associative Memory Enabling Fully-Parallel Nearest Euclidean Distance Search," Jpn. J. Appl. Phys., Vol. 46, No. 4B, 2231-2237, 2007.</p> <p>[小出 哲士] 12. T. Morimoto, Y. Harada, T. Koide, and H.J. Mattausch, "Efficient Video-Picture Segmentation Algorithm for Cell Network-Based Digital CMOS Implementation," IEICE Trans. on Information & Systems, Vol. E87-D, pp. 500-503, 2004.</p> <p>13. T. Morimoto, Y. Harada, T. Koide, H.J. Mattausch, "Pixel-Parallel Digital-CMOS Implementation of Image-Segmentation by Region Growing," IEE Proc. Circuits, Devices & Systems 152, pp. 579-589, 2005.</p> <p>14. T. Kumaki, Y. Kuroda, M. Ishizaki, T. Koide, H.J. Mattausch, H. Noda, K. Dosaka, K. Arimoto, and K. Saito, "Real-Time Huffman Encoder with Pipelined CAM-Based Data Path and Code-Word-Table Optimizer," IEICE Trans. on Inf. & Sys., vol.E90-D, pp.334-345, 2007.</p> <p>[三浦 道子] 15. K. Konno, O. Matsushima, D. Navarro, and M. Miura-Mattausch, "High frequency response of p-i-n photodiodes analyzed by an analytical model in Fourier space," Journal of Applied Physics. Vol. 96. No. 7, 2004</p> <p>16. M. Miura-Mattausch, N. Sadachika, D. Navarro, G. Suzuki, Y. Takeda, M. Miyake, T. Warabino, Y. Mizukane, R. Inagaki, T. Ezaki, H. J. Mattausch, T. Ohguro, T. Izuka, M. Taguchi, S. Kumashiro, S. Miyamoto, "HiSIM2: Advanced MOSFET Model Valid for RF Circuit Simulation," IEEE Trans. On Electron Devices, Vol. 53, No. 9, pp.1994-2007, 2006. (invited)</p> <p>17. N. Sadachika, D. Kitamaru, Y. Uetsuji, D. Navarro, M. M. Yusoff, T. Ezaki, H. J. Mattausch, M. Miura-Mattausch, "Completely Surface-Potential-Based Compact Model of the Fully Depleted SOI-MOSFET Including Short-Channel Effects," IEEE Trans. on Electron Devices, Vol. 53, No. 9, pp.2017-2024, 2006.</p> <p>18. H. J. Mattausch, M. Miyake, T. Yoshida, S. Hazama, D. Navarro, N. Sadachika, T. Ezaki, M. Miura-Mattausch, "HiSIM2 CIRCUIT SIMULATION," IEEE Circuits & Devices Magazine, Vol. 22, No. 5, pp.29-38, 2006. (invited)</p> <p>[江崎 達也] 19. T. Ezaki, D. Navarro, Y. Takeda, N. Sadachika, G. Suzuki, M. Miura-Mattausch, T. Ohguro, T. Izuka, M. Taguchi, S. Kumashiro, S. Miyamoto, "Non-quasi-static analysis with HiSIM, a complete surfacepotential-based MOSFET model," MIXDES, pp.923-928, 2005.</p> <p>20. T. Ezaki, T. Warabino, M. Miyake, N. Sadachika, D. Navarro, H. J. Mattausch, M. Miura-Mattausch, T. Ohguro, T. Izuka, M. Taguchi, S. Kumashiro, S. Miyamoto, "Noise Modeling Based on Self-Consistent Surface-Potential Description for Advanced MOSFETs aiming at RF Applications," ICSICT-2006, pp.1264-1267, 2006. (invited)</p> <p>21. T. Ezaki, G. Suzuki, K. Konno, O. Matsushima, Y. Mizukane, D. Navarro, M. Miyake, N. Sadachika, H. J. Mattausch, M. Miura, "Physics-Based Photodiode Model Enabling Consistent Opto-Electronic Circuit Simulation," IEDM, pp.187-190, 2006.</p> <p>[宮崎 誠一] 22. Y. Darma, R. Takaoka, H. Murakami and S. Miyazaki, "Self-Assembling Formation of Silicon Quantum Dots with a Germanium Core by Low-Pressure Chemical Vapor Deposition," Nanotechnology, Vol. 14, pp. 413-415, 2003.</p> <p>23. K. Makihara, H. Deki, H. Murakami, S. Higashi and S. Miyazaki, "Control of the Nucleation Density of Si Quantum Dots by Remote Hydrogen Plasma Treatment," Appl. Surf. Sci., Vol. 244, No. 1-4, pp. 75-78, (2005).</p>			

24. S. Miyazaki, M. Ikeda and K. Makihara, "Characterization of Electronic Charged States of Si-Based Quantum Dots and Their Application to Floating Gate Memories," *Electrochemical Society(ECS) Trans.* Vol. 2, No. 1, pp. 157-166, (2006).
25. J. Nishitani, K. Makihara, M. Ikeda, H. Murakami, S. Higashi and S. Miyazaki, "Decay Characteristics of Electronic Charged States of Si Quantum Dots as Evaluated by an AFM/Kelvin Probe Technique," *Thin Solid Films*, Vol. 508, pp. 190-194, (2006).
- [東清一郎] 26. S. Higashi, H. Kaku, H. Murakami, S. Miyazaki, H. Watakabe, N. Ando and T. Sameshima, "Application of Plasma Jet Crystallization Technique to Fabrication of Thin-Film Transistor," *Jpn. J. of Appl. Phys.*, Vol. 44, No. 3, pp. L108-L110, 2005.
27. S. Higashi, H. Kaku, H. Taniguchi, H. Murakami and S. Miyazaki, "Crystallization of Si Films on Glass Substrate Using Thermal Plasma Jet," *Thin Solid Films*, Vol. 487, pp. 122-125, 2005.
28. S. Higashi, H. Kaku, T. Okada, H. Murakami and S. Miyazaki, "Crystallization of Si in Millisecond Time Domain Induced by Thermal Plasma Jet Irradiation," *Jpn. J. Appl. Phys.*, Vol. 45, pp. 4313-4320, (2006).
- [村上秀樹] 29. H. Murakami, Y. Moriwaki, M. Fujitake, D. Azuma, S. Higashi and S. Miyazaki, "Characterization of Atom Diffusion in Polycrystalline Si/SiGe/Si Stacked Gate," *IEICE Trans. on Electronics*, Vol. E88-C, No. 4, pp. 646-650, 2005.
30. H. Murakami, W. Mizubayashi, H. Yokoi, A. Suyama and S. Miyazaki, "Electrical Characterization of Aluminum-Oxynitride Stacked Gate Dielectrics Prepared by a Layer-by-Layer Process of Chemical Vapor Deposition and Rapid Thermal Nitridation," *IEICE Trans. on Electronics*, Vol. E88-C, No. 4, pp. 640-645, 2005.
- [角南英夫] 31. H. Sunami, S. Matsumura, K. Yoshikawa, and K. Okuyama, "High-aspect-ratio structure formation techniques for three-dimensional metal-oxide-semiconductor transistors," *Microelectronic Engineering*, Vol. 83, pp. 1740-1744, 2006.
32. Shunpei Matsumura, Atsushi Sugimura, Kiyoshi Okuyama, and Hideo Sunami, "Anomalous Whisker Generation in Ni-Silicided Source and Drain for Three-Dimensional Beam-Channel MOS Transistor on SOI Substrate," *Extended Abstract of Advanced Metallization Conference: Asian Edition*, pp. 90-91, 2006.
33. K. Kobayashi, K. Okuyama, and H. Sunami, "Plasma doping induced damages associated with source/drain formation in three-dimensional beam-channel MOS transistor," *Microelectronic Engineering*, Vol. 84, pp. 1631-1634, 2007.
34. K. Okuyama, K. Yoshikawa, and H. Sunami, "Control of Subthreshold-Characteristics of Narrow-channel SOI nMOS Transistor Utilized Additional Side Gate Electrodes," *Jpn. J. Appl. Phys.*, Vol. 46, No. 4B, pp. 2050-2053, 2007.
- [芝原健太郎] 35. K. Sano, M. Hino, N. Ooishi, and K. Shibahara, "Workfunction Tuning Using Various Impurities for Fully Silicided NiSi," *Jpn. J. Appl. Phys. Part 1.*, Vol. 44, No. 6A, pp. 3774-3777, 2005.
36. A. Matsuno, E. Takii, T. Eto, K. Kurobe, and K. Shibahara, "Merits and Demerits of Light Absorbers for Ultra Shallow Junction Formation by Green Laser Annealing," *Nucl. Instr. and Meth. B*, Vol. 237, pp. 136-141, 2005.
37. K. Shibahara, T. Eto, and K. Kurobe, "Merits of Heat-assist for Melt Laser Annealing," *IEEE Trans. Electron Devices*, Vol. 53, No. 5, pp. 1059-1064, 2006.
38. A. Matsuno and K. Shibahara, "Effects of Pulse Duration on the Formation of Ultra Shallow Junction Formed by an Excimer Laser Anneal Method," *Jpn. J. Appl. Phys.*, Vol. 45, No. 11A, pp. 8537-8541, 2006.
- [吉川公麿] 39. T. Kikkawa, K. Kimoto and S. Watanabe, "Ultrawideband characteristics of fractal dipole antennas integrated on Si for ULSI wireless interconnects," *IEEE Electron Device Letters*, Volume 26, Issue 10, Oct, pp. 767-769, 2005.
40. P. K. Saha, N. Sasaki, K. Kimoto, and T. Kikkawa, "A 2.4 GHz Differential Wavelet Generator in 0.18 μm Complementary Metal-Oxide-Semiconductor for 1.4 Gbps Ultra-Wideband Impulse Radio in Wireless Inter/Intra-Chip Data Communication," *Jpn. J. of Applied Physics*, Vol. 45, No. 4B, pp. 3279-3285, 2006.
41. K. Kimoto, T. Kikkawa, "Signal Transmission Characteristics between Si Chips with Air Gap using Si Integrated Dipole Antennas," *Jpn. J. of Applied Physics*, Vol. 45, No. 6A, pp. 4968-4976, 2006.
42. P. K. Saha, N. Sasaki and T. Kikkawa, "A Single-chip Gaussian Monocycle Pulse Transmitter using 0.18 μm CMOS Technology for Intra/Interchip UWB Communication," *2006 Symposium on VLSI circuits Digest of Technical Papers*, pp. 252-253, 2006.
- [横山新] 43. Y. Tanushi and S. Yokoyama, "Design and Simulation of Ring Resonator Switches using Electro-Optic Materials," *Jpn. J. Appl. Phys.* 45, No. 4B, pp. 3493-3497, 2006.
44. M. Suzuki, Zhimou Xu, Y. Tanushi and S. Yokoyama, "Structural and Optical Properties of Electro-Optic Material: Sputtered (Ba,Sr)TiO₃," *Jpn. J. Appl. Phys.* 45, No. 4B, pp. 3488-3492, 2006.
45. Zhimou Xu, M. Suzuki, Y. Tanushi, and S. Yokoyama, "Monolithically integrated optical modulator based on polycrystalline Ba_{0.7}Sr_{0.3}TiO₃ thin films," *Appl. Phys. Lett.* 88, No. 16, 161107, 2006.
46. M. Suzuki, K. Nagata, Y. Tanushi and S. Yokoyama, "Transient Response in Monolithic Mach-Zehnder Optical Modulator using (Ba,Sr)TiO₃ Film Sputtered at Low Temperature on Silicon," *Jpn. J. Appl. Phys.* 46, No. 4B, pp. 2462-2466, 2007.
- [中島安理] 47. H. Ishii, A. Nakajima, and S. Yokoyama, "Growth and electrical properties of atomic-layer deposited ZrO₂/Si-nitride stack gate dielectrics," *J. Appl. Phys.* Vol. 95, No. 2, pp. 536-542, 2004.
48. A. Nakajima, T. Ohashi, S. Zhu, S. Yokoyama, S. Michimata, and H. Miyake, "Atomic-Layer-Deposited Si-Nitride/SiO₂ Stack Gate Dielectrics for Future High-Speed DRAM with Enhanced Reliability," *IEEE Electron Device Lett.* Vol. 26, No. 8, pp. 538-540, 2005.
49. S. Zhu, A. Nakajima, T. Ohashi, and H. Miyake, "Interface trap and oxide charge generation under negative bias temperature instability of p-channel metal-oxide-semiconductor field-effect transistors with ultrathin plasma-nitrided SiON gate dielectric," *J. Appl. Phys.* Vol. 98, No. 11, Art. No. 114504, 2005.
50. Shiyang Zhu, Anri Nakajima, Takuo Ohashi, and Hideharu Miyake, "Mechanism of Dynamic Bias Temperature Instability in P- and N-MOSFETs: the Effect of Pulse Waveform," *IEEE Trans. Electron Devices* Vol. 53, No. 8, pp. 1805-1814, 2006.

②国際会議等の開催状況【公表】

(事業実施期間中に開催した主な国際会議等の開催時期・場所、会議等の名称、参加人数(うち外国人参加者数)、主な招待講演者(3名程度))

第1回国際ワークショップ 2003年3月17日 広島大学学士会館

- ・中心テーマ: 拠点形成計画概要、MOSデバイスモデルHiSIM
- ・参加者: 58名(大学45名、産業界13名)
- ・招待講演: Noll教授(ドイツArchen大), Lee教授(韓国KAIST)
和田教授(米国MIT), 廣瀬全孝センター長(次世代半導体技術研究センター)
竹本社長(半導体理工学研究センター)
- ・COEメンバー講演およびポスターによる発表18件

第2回国際ワークショップ 2004年1月30日 広島大学学士会館

- ・中心テーマ: デバイスマデリング
- ・参加者: 68名(大学57名、産業界11名)
- ・招待講演: Zhipping Yu 教授(中国Tsinghua University)
Gerald Wachutka(ドイツMunich University of Technology)
Mansun Chan教授(香港大学), 石橋孝一郎氏(STARC)
- ・COEメンバー成果報告、ポスター発表22件

第3回国際ワークショップ 2004年12月6日 広島大学学士会館

- ・中心テーマ: 超LSI製造技術とワイヤレス通信技術の将来
- ・参加者: 138名(大学129名、産業界9名)
- ・招待講演: Karen Maex教授(ベルギーLeuven Catholic大学)
Frank Chang教授(米国UCLA), Simon Wong教授(米国Stanford大学)
K. O教授(フロリダ大学), 河野修興教授(広島大学・医歯薬学総合研究科)
- ・COEメンバー成果報告、ポスターによる研究発表50件

第4回国際ワークショップ 2005年9月16日 広島大学学士会館

- ・中心テーマ: デバイスマデリング
- ・参加者: 100名(大学88名、産業界12名)
- ・招待講演: T. P. Ma教授(米国 Yale大学), J. C. S. Woo教授(米国UCLA)
S. Biesmans博士(ベルギーIMEC), Y. J. Park教授(韓国ソウル大学)
F. Boeuf博士(ST Microelectronics), 黒田忠弘教授(慶応大学)
丹羽正昭博士(松下電器)
- ・COEメンバー成果報告、ポスター発表50件

半導体シンポジウム 2006年6月26日 キャンパスイノベーションセンター、東京都港区

- ・中心テーマ: インタコネクションと三次元集積
- ・参加者: 93名(大学27名、産業界46名)
- ・招待講演: 黒田忠広教授(慶應義塾大学), 和田一実教授(東京大学)
田中徹助教授(東北大学), 池田博明(エルピーダメモリ株式会社)
- ・COEメンバー: 6テーマについての講演、ポスター発表17件
- ・パネルディスカッション・テーマ: インタコネクションと三次元集積

第5回国際ワークショップ 2007年1月29、30日 キャンパスイノベーションセンター、東京都港区

- ・中心テーマ: COE最終成果報告
- ・参加者: 107名(大学46名、産業界61名)
- ・招待講演: D. Antoniadis教授(米国MIT)
廣瀬全孝センター長(次世代半導体技術研究センター)
小柳光正教授(東北大学), 平本俊郎教授(東京大学)
- ・COEメンバー成果報告、ポスター発表22件

2. 教育活動実績【公表】

博士課程等若手研究者の人材育成プログラムなど特色ある教育取組等についての、各取組の対象（選抜するものであればその方法を含む）、実施時期、具体的内容

1. ポスドク研究員、ドクター学生のアイディアに研究費を配分して、研究能力を育成する(平成15-17年度)
研究計画発表にもとづき、評価して、COE経費を配分した(教員を実施責任者)
実績:50万円程度以内 ポスドク研究員8名, 研究テーマ例:半導体プロセス材料費、測定用治具、部品など
2. ポスドク研究員を主体とする研究会の開催(情報交流、連帯感の醸成)
 - ・デバイス・プロセス: リーダ:佐々木COE研究員
 - ・回路・システム: リーダ:亀田COE研究員
3. インターン実績
 - 3.1 海外派遣 学生氏名:貞近倫夫, D.Navarro, 研修先:Infineon Technologies(ドイツ・ミュンヘン)
期間: 2004年の9月6日から9月17日,
研修テーマ: HiSIM=NQSモデルのSPICEシミュレータへの組み込み・およびその動作検証, 回路シミュレーションにおける計算の安定性
 - 3.2 国内派遣 単位取得実績(修士学生) 合計27名 派遣には大学学長裁量経費の支援も受けている。
2004年8~9月: 修士学生 8名, エルピーダメモリ, 日本電気、ソニー、日本テキサスインスツルメンツ他
2005年2~3月: 修士学生 1名, 博士学生 1名, ルネサステクノロジ
2005年8~9月: 修士学生 8名, エルピーダメモリ, 日本電気、ソニー、日立製作所、RFチップステクノロジ他
2006年8~9月: 修士学生 9名, エルピーダメモリ, 日本電気、ソニー、シャープ、旭化成他
4. 大学院生向けCOEセミナー
第一線の内外の教授, 研究者による最新の研究について解説, 討論するセミナーを14回開催した. 学生が技術内容とともに, 研究者の思想に触れられる機会として, 教育効果をあげた.
 - ①日時:平成15年1月27日,10-14:30, 題目:Breakdown and Reliability of Ultra-Thin MOS Devices
講師:J. Sune,Universitat Autònoma de Barcelona. Bellaterra, SPAIN
 - ②日時:平成15年1月21日,3:30-15:00, 題目:MOSFET Compact I-V Modeling for Deep-Submicron Technology Development, 講師:Prof. Zhou Xingn(COE招聘教授)Nanyang Technological University, Singapore
 - ③平成15年1月28日, 講師:Prof. Zhou Xingn(COE招聘教授)
題目:Mixed-Signal Multi-Level Circuit Simulation: An Implicit Mixed-Mode Solution
 - ④日時:平成15年2月6日,13:30-15:00, 題目:物理設計とシグナルインテグリティ技術, 講師:熊代成孝(NECエレ)
 - ⑤日時:平成15年4月2日,11:00-12:30(1時間半程度) 題目:Modeling, Characterization and Implications of Noise in Mixed-Signal Integrated Circuits, 講師:Robert W. Dutton(スタンフォード大学 教授, ICL所長)
 - ⑥日時:平成15年7月30日,13:10-14:50, 題目:微細CMOS高速化のためのチャネルエンジニアリングと素子物理,講師:高木 信一(半導体 MIRAI プロジェクト, 東芝)
 - ⑦日時:平成15年9月9日,1:30-12:00, 題目:システムLSIのデータフロー設計手法,講師: 山内寛紀(立命館大教授)
 - ⑧日時:平成15年11月4日,10:3-12:30, 題目:Introduction into Advanced SPICE MOSFET Models and CMOS Modeling, 講師: Joachim Assenmacher, Infineon Technologies AG, Munich, Germany
 - ⑨日時:平成16年3月19日,10:30-12:00, 題目:超高精細映像時代の顔認識基礎技術(1), 講師:山内寛紀
 - ⑩日時:平成16年4月8日,13:00-15:00, 題目:UWB技術動向, 講師:河野隆二(横浜国大教授、21世紀COEリーダー)
 - ⑪日時:平成16年6月17日,10:00-13:00, 題目:回路シミュレーションのためのデバイスモデル,講師:三浦道子(広大)
 - ⑫日時:平成16年8月3日,10:00-12:00, 題目: CMOSアナログ・RF設計・デバイス技術, 講師:松澤昭(東工大教授)
 - ⑬日時:平成16年10月20日,10:00-12:00, 題目: Modeling and Simulation of Substrate Coupling for Accurate Circuit Simulation, 講師: Zuochang Ye, Institute of Microelectronics, Tsinghua University Ph.D student
 - ⑭日時:平成18年8月8日,13:30-15:00,
・題目:デジタル・アナログ変換器におけるダイナミック・エレメント・マッチングの応用, 講師:濱崎利彦(日本TI)
・題目: Fully Parallel Associative Memory with Mixed Digital-Analog Match Circuit for Nearest Euclidean Distance Search, 講師:Abedin Md. Anwarul (広大なノデバイス・システム研究センター)
 - ⑮日時:平成18年11月20日,10:30-12:00, 題目:半導体シリコンウェーハ製造技術, 講師:毛利敬史、森良弘 (シルトロニック・ジャパン)
 - ⑯日時:平成18年11月28日,13:30-15:00,題目:最近の超LSIトランジスタ向け接合形成技術,講師:加勢正隆 氏 (富士通)
 - ⑰日時:平成19年3月15日,10:00-11:30,題目:チップ積層型高速DRAMの開発, 講師:池田博明氏 (エルピーダメモリ)

21世紀COEプログラム委員会における事後評価結果

(総括評価)

設定された目的は概ね達成され、期待どおりの成果があった

(コメント)

研究教育拠点形成計画全体については、ナノデバイス・システム研究センターを中心に、シリコン集積回路のデバイス、製造プロセス、回路、システム分野を包含して、脳型コンピュータや並列画像処理など、テラビット情報処理システムに新機軸を導入するための拠点形成を目指しており、半導体集積科学専攻を設置するなど、大学の支援体制も認められ、本プログラムの目的は概ね達成されたと評価できる。

人材育成面では、新専攻の創設もあり、課程博士学位の取得者数増大が見られ、インターンシップの実質化などの進歩があるが、若手によるシンポジウム開催などの積極性が十分には見られない。

研究活動面では、世界を先導するいくつかの研究成果を創出しており、ほぼ期待どおり達成されている。しかしながら、2、3の分野間融合の試みがあるものの、新たな分野の創成には至っていない。事業推進担当者相互の融合はいくつか見られるが、拠点内連携のための集中的研究会などに関する工夫が今後望まれる。国際会議発表においては、一流国際会議における発表があり、COE国際ワークショップを5回開催するなど、情報発信に努めている。また、HiSIMの国際標準化に向けた努力は他に例を見ない。世界におけるベンチマークを明確化し、国内外大学との共同研究や民間との共同研究が組まれている。中間評価への対応については、各グループ間の連携策を立案し、無線インタコネクトによる三次元ビジョンプロトタイプを試作して、基本動作を確認するなど、概ね適切に対応しているが、デバイス・プロセスグループの進捗度とはかなりの開きがある。三次元ビジョンプロトタイプの試作により、テラビット情報処理の原理実証を行っているが、デバイス・プロセス技術が将来どのような形で組み込まれていくのか、連携のマイルストーンを示すことが望まれる。研究面全体では、期待どおりの成果も多いが、新たな分野の創成につながるようなインパクトのある成果が少なく、今後の更なる成果が期待される。

補助事業終了後の持続的な展開については、学内において医工融合の研究・教育強化の機運を高め、新規分野への展開を期待する。

事後評価結果に対する意見申立て及び対応について

意見申立ての内容	意見申立てに対する対応
<p>【申立て箇所】</p> <p>研究活動面では、世界を先導するいくつかの研究 成果を創出しており、ほぼ期待どおり達成されてい る。しかしながら、2、3の分野間融合の試みがあ るもの、<u>新たな分野の創成には至っていない</u>。国際 会議発表においては、一流国際会議における発表が あり、COE 国際ワークショップを5回開催するな ど、情報発信に努めている。また、HiSIMの国 際標準化に向けた努力は他に例を見ない。研究面全 体では<u>ややインパクトに欠けており</u>、今後のさらな る成果が期待される。</p> <p>【意見及び理由】</p> <p>本拠点は、テラビット情報処理システムに新機軸を 導入するための拠点形成を目指し、「大学院に新専 攻を設置し、世界を先導するいくつかの研究成果を 創出しており、一流国際会議における発表があり、 HiSIMの国際標準化に向けた努力は他に例を見 ない。」という実質的な成果は評価されているが、 研究面全体について、<u>ややインパクトに欠けており</u> という理由で高い評価ができないということである が、その理由が抽象的であり、他との比較も不明確 でありますので、この点について再検討いただきた いと考えております。</p> <p>また、<u>新たな分野の創成には至っていない</u>と評価 されているが、電磁波や磁界による無線技術を半導 体技術に融合させた三次元集積技術の研究を通じて 半導体電子工学と電磁波工学・無線通信工学を融合 した領域を創成できたと考えております。それが、 半導体・バイオ融合の新技术の提案につながったと 考えております。</p>	<p>【対応】</p> <p>原文のままとする。</p> <p>以下の通り修正する。 <u>新たな分野の創成につながるようなインパクトの ある成果が少なく</u></p> <p>【理由】</p> <p>前段については、2、3の分野間融合の試みはあ るが、新たな分野の創成ができたと言えるほどの成 果がないという指摘であり、修正しない。</p> <p>後段については、研究面全体において、新たな分 野の創成につながるようなインパクトのある成果が 少ないと指摘したものであるが、申立てを踏まえ、 その趣旨が明確になるよう修正した。</p>