

研究代表者氏名	小柳 光正			研究組織	6人	
所属機関・部局・職	東北大学・大学院工学研究科・教授			所属機関所在地	仙台市	
研究課題名	三次元積層型プロセッサチップを用いた超高性能並列処理システム					
研究の概要等	<p>本研究では高度マルチメディア社会における情報処理技術の核となるような新しい三次元積層型プロセッサチップと、それを用いた超高性能並列処理システムを開発することを目的とする。情報処理システムの高性能化には並列処理の導入が効果的であるが、共有バスで複数のプロセッサ(PE: Processor Element)を接続するシステムではバスの競合によりシステム性能は期待する程には改善されない。そこで、本研究では、高速のチップ間データ転送が可能である光インターコネクションを用いて、複数の共有メモリチップを接続することにより、メモリチップ間で擬似的にメモリの共有動作を行なわせる新しい共有メモリシステムを提案する。また、三次元集積化技術を用いて共有メモリチップを多層積層型とし、各メモリ層を一つのポートに割り当てることによって、共有メモリチップ自体もマルチポート化する。更に、三次元積層型の共有メモリとプロセッサチップを積層することによってマルチポート共有メモリ入力の新しいプロセッサ・エレメントを実現する。本研究では、このような三次元プロセッサチップを実際に設計、試作するとともに、それらを光インターコネクションで接続した共有メモリ結合型並列処理システムモジュールも試作して、基本的なシステムの性能まで評価する。</p>					
当該研究課題と関連の深い論文・著書(研究代表者のみ)	<p>1) T. Ono, H. Kurino and M. Koyanagi et al., Three-Dimensional Processor System Fabricated by Wafer Stacking Technology, Proceedings of International Symposium on Low-Power and High-Speed Chips (COOL Chips V), , 186 - 193 (2002)</p> <p>2) H. Kurino, Y. Nakagawa, M. Koyanagi et al., Biologically Inspired Vision Chip with Three Dimensional Structure, IEICE Transactions on Electronics, E84-C (12), 1717 - 1722 (2001)</p>					
研究期間	平成15年度～19年度(5年間)					
研究経費(16年度以降は内約額)	平成15年度 千円 29,000	平成16年度 千円 23,800	平成17年度 千円 17,200	平成18年度 千円 14,200	平成19年度 千円 3,900	合計 千円 88,100
ホームページアドレス	http://www.sd.mech.tohoku.ac.jp					